

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平7-504782

第7部門第2区分

(43) 公表日 平成7年(1995)5月25日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

H 0 1 L 27/00

3 0 1 B

8418-4M

G 0 2 F 1/136

5 0 0

9224-2K

H 0 1 L 27/12

B

9056-4M

29/786

9056-4M

H 0 1 L 29/ 78

3 1 1 A

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21) 出願番号 特願平5-514320
 (86) (22) 出願日 平成5年(1993)2月12日
 (85) 翻訳文提出日 平成6年(1994)8月10日
 (86) 国際出願番号 P C T / U S 9 3 / 0 1 3 2 2
 (87) 国際公開番号 W O 9 3 / 1 6 4 9 1
 (87) 国際公開日 平成5年(1993)8月19日
 (31) 優先権主張番号 8 3 4 , 8 4 9
 (32) 優先日 1992年2月13日
 (33) 優先権主張国 米国 (U S)
 (31) 優先権主張番号 8 7 4 , 5 8 8
 (32) 優先日 1992年4月24日
 (33) 優先権主張国 米国 (U S)

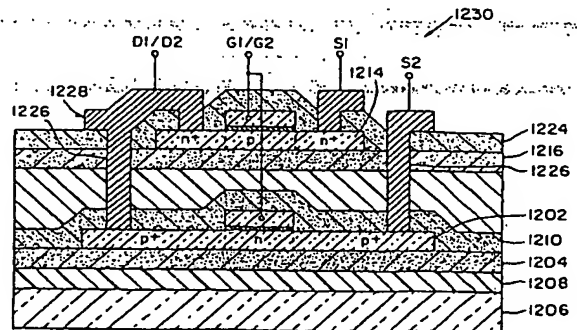
(71) 出願人 コビン・コーポレーション
 アメリカ合衆国マサチューセッツ州02780ト
 ーントン・マイルズスタンディッシュイン
 ダストリアルパーク・マイルズスタンディ
 ッシュブルバード695
 (72) 発明者 スピッツァー, マーク・ビー
 アメリカ合衆国マサチューセッツ州02067シ
 ヤロン・ミンクトラップレイン5
 (72) 発明者 ジャコブセン, ジェフリー
 アメリカ合衆国カリフォルニア州95023ホ
 リスター・テビストレイル501
 (74) 代理人 弁理士 小田島 平吉

最終頁に続く

(54) 【発明の名称】 高密度電子回路モジュール

(57) 【要約】

発明は、従来のマルチチップモジュールを使用して獲得されるよりも、高密度かつ複雑性の集積電子回路構成を生み出すデバイス処理、実装及び相互連結に関する。プロセスは、転写され、相互連結され、かつ実装されるシリコン薄膜の回路タイルを使用する、共通モジュール基板における複雑な多機能回路構成の形成を含む。極めて高密度かつ複雑性と両立する集積転写/相互連結プロセスを使用する回路モジュールは、完全ガラスベースモジュールにおいてオンボードドライバ及び論理回路を備える大面積アクティブマトリックスディスプレイを設ける。ディスプレイ、マイクロプロセッサ及びメモリデバイス、光入力及び出力を具える通信回路等、他の応用も考えられる。



請求の範囲

1. 3次元回路モジュールを作製する方法において、
キャリア基板において第1回路層を形成する段階と、
仮基板において第2回路層を形成する段階と、
第1回路層へ第2回路層を転写する段階であり、第1及び第2回路層は
中間層によって分離される段階と、
中間層を通して第1及び第2回路層を相互連結する段階とを含む方法。
2. 転写の段階が、
接着層を第2回路層上に形成することと、
第2回路層を第1回路層と接着層の上に転写することとを含む請求の範囲1に記載の方法。
3. 転写の段階が、
第1接着層を第2回路層の上に形成することと、
第2回路層を上層に転写することと、
第2接着層を第2回路層の下に形成することと、
第2回路層を第1回路層に転写することと、
中間層を形成するために第2接着層を剥離させることとを含む請求の範囲1に記載の方法。
4. 相互連結の段階が、
第1及び第2回路層の間にファイアを形成することと、
第1及び第2回路層をファイアを通して結合することとを含む請求の範囲1に記載の方法。
5. 結合の段階が、導電性材料でファイアを充填することを含む請求の範囲4に記載の方法。

ール。

18. 相互連結部が導電体を具備する請求の範囲10に記載の回路モジュール。
19. インターコネクタが、光学のカプリングを具備する請求の範囲10に記載の回路モジュール。
20. 相互連結部が電磁気カプリングを具備する請求の範囲10に記載の回路モジュール。

6. 結合の段階が、ファイアを通して光学的リンクを形成することを含む請求の範囲4に記載の方法。

7. 結合の段階が、ファイアを通して電磁気リンクを形成することを含む請求の範囲4に記載の方法。

8. 中間層が、熱導体を具備し、方法が、さらに、中間層をヒートシンクに相互連結する段階を含む請求の範囲1に記載の方法。

9. 中間層が、導電体を具備し、方法が、さらに、中間層を電気接地に相互連結する段階を含む請求の範囲1に記載の方法。

10. 複数の薄膜半導体回路層と、

回路層の間に位置付けた中間層と、

中間層を通した第1回路層と第2回路層の間の相互連結部とを具備する3次元回路モジュール。

11. 半導体がシリコンである請求の範囲10に記載の回路モジュール。

12. 半導体がIII-V族化合物である請求の範囲10に記載の回路モジュール。

13. 半導体がダイヤモンドである請求の範囲10に記載の回路モジュール。

14. 中間層が熱導体を具備する請求の範囲10に記載の回路モジュール。

15. 熱導体がエポキシ樹脂である請求の範囲14に記載の回路モジュール。

16. 熱導体に結合されたヒートシンクをさらに具備する請求の範囲14に記載の回路モジュール。

17. 中間層が導電層を具備する請求の範囲10に記載の回路モジュール。

明 細 書

高密度電子回路モジュール

発明の背景

ラップトップコンピュータの如く新ポータブル電子製品の開発は、現在、大きな世界的関心事である。そのような製品の多様な構成要素系（メモリ、ディスプレイ、等）の小形化は、必要な回路ができる限り小さな容積で実装されることを必要とする。小容積の実装回路はまた、寄生容量を低減し、回路間の信号伝達時間を改良する。この必要条件への一つの接近方法は、単一ウェハーから作られる回路から必要機能のすべてを獲得するために、集積度を増大させるものである。不幸にも、全ウェハー回路構成を作成する努力は、大きな回路サイズのために、不許容な歩留まり損失にあった。アクティブマトリックスディスプレイの特定領域において、類似の問題は、256Kピクセルレベル以上のディスプレイサイズの拡張を遂行することになった。

アクティブマトリックス（AM）ディスプレイは、一般に、各画素又は電界発光ピクセル領域と共存する薄膜トランジスタ（TFT）によって充電されたピクセル電極から発出する電界によって「オン」と「オフ」に切り換えられる画素又は電界発光材料の平パネルから成る。これらのAMディスプレイは、陰極線管（CRT）技術に取って代わり、高精度テレビジョン画像又はデータディスプレイを設けることを期待される。TFTを使用する、アクティブマトリックス接近方法の主な利点は、ピクセル間のクロストークの除去と、TFT互換画素ディスプレイ（LCD）で達せられる優れたグレースケールである。

LCDを使用する平パネルディスプレイは、一般に、5つの異なる層を含む。すなわち、白色光源層と、TFTがピクセルを形成するために配列された回路パネルの一方の側に取り付けた第1偏光フィルター層と、少なくとも3つの原色をピクセルに配列してなるフィルタープレート層と、最後に第2偏光フィルター層である。回路パネルとフィルタープレートの間の空隙は、液晶材料で充填される。この材料は、適切な電界がそれに印加された時、それを通過する光の偏光を回転させる。こうして、ディスプレイの特定ピクセル電圧が関連TFTによって充電される時、液晶材料は、材料を通過される偏光を、第2偏光フィルターを通過し観察者によって可視になる如く、回転させる。

平パネルディスプレイのために必要な大領域でのTFT形成への主な接近方法は、大領域光起電力素子のために以前開発されたアモルファスシリコンの膜の使用に係わった。TFT接近方法は実行可能であることが立証されたが、アモルファスシリコンの使用は、パネル性能の幾つかの見地を劣化させる。例えば、アモルファスシリコンのTFTは、アモルファス材料に固有な低電子移動度により、大領域ディスプレイに対して必要とされる周波数応答に欠ける。こうして、アモルファスシリコンの使用は、表示速度を制限し、そしてまた、ディスプレイを駆動するために必要とされた高電圧のために不適切である。

アモルファスシリコンの制限のために、多結晶シリコン又はレーザー再結晶化シリコンの如く、他の代替的な材料が、考察されている。これらの材料の約0.4ミクロンよりも小さな薄膜は、一般に後の回路処理を低温度に制限するガラス上に通常形成される。

大形アクティブマトリックスディスプレイの形成は、大領域単結晶S

において達成される。単一転写プロセスにおいて、所望のS_i回路構成が、第2層S_i基板において形成される。S_i回路がグイスに切り入れ、すなわち、一つ以上の回路を含むグイス又はタイルに分割される。それから、グイス又はタイルは、張られる、すなわち、共通モジュール本体に順次に登録され、モジュール本体に順次に付着される。すべてのグイス又はタイルがモジュール本体に付着された後、すべてのS_i基板は、一プロセスにおいて除去され、回路は相互接続される。代替的に、S_i基板は、より正確な位置合わせが必要とされるならば、順次に除去され

る。二重転写プロセスにおいて、回路は中間転写又はキャリア本体に転写され、それから、基板が除去される。ダイシングは、第1転写の前に行われる。第2回路構成は、共通モジュール本体への転写が適切になるまで、転写本体によって支持される。それから、回路構成は、タイル化される、すなわち、共通モジュール本体に順次転写され、登録され、付着される。転写本体が十分に附いならば、転写本体は、回路構成に残される。そうでなければ、それは除去され、そして回路の相互接続が、必要に応じて作成される。

好ましい実施態様において、共通モジュールは、発明により作製されたアクティブマトリックス(AM)LCDパネルを形成する。AMLCDのための回路パネルは、回路が形成された多重x-si及び/又はA-si又はポリSi第2層タイルを共通モジュール基板又は上層に転写することにより形成され、この場合、各タイルは、一つ以上のウェハーからユニットとして獲得される。転写中、タイルは、相互に関して登録される。それから、回路は、必要に応じて相互接続される。登録は、公知

i材料の利用不可によって増悪される。こうして、従来の接近方法は、第2層アモルファス(A-Si)又は多結晶Si(ポリSi)ウェハーを使用するものである。非常に多数の駆動回路及びA-Si又はポリSiに固有な材料欠陥に関連した必要数の第2層トランジスタ(TFT)は、全ディスプレイがユニットとして作製される時、不許容な歩留まり及び品質問題につながる。

このため、小形高品質部品又は回路を完全な大領域高品質統合デバイスに組み立てることができるモジュラー接近方法において、アクティブマトリックス、メモリ及び他のデバイスを含む、高集成度電子回路を信頼性良く形成する比較的安全な方法の必要性が存在する。

発明の要約

本発明は、S_i第2層において形成された回路の領域又はタイルを除去するためのシリコン再転写プロセスを使用し、除去されたタイルを共通モジュール本体に転写し、配置し、付着することにより、基板又は上層の如く共通モジュール本体において複色混成多機能回路を作製するための方法及びその装置を具備する。領域又はタイルの除去は、以後、一般に「ダイシング」と呼ばれる。転写、配置及び付着のプロセスは、一般に「タイリング」と呼ばれる。

膜は、所望の回路パラメータにより、A-Si、ポリSi又はx-siから形成される。それから、一回路の要素は、従来の光学的リソグラフィパターン化露光メタライゼーション技術によって別の回路の要素に相互接続される。直接レーザー直込み又は剥去は、相互接続の修復又は修正のために使用される。

転写は、2つの方法、すなわち、単一転写又は二重転写、のいずれか

のX-Y微小位置決め装置によって達成される。付着力と平面化は、回路構成を形成する際に残された空隙を満たす透光性接着剤を使用して達成される。基板縁のトリミングは、モジュール本体における適正な位置合わせのために必要とされる正確な回路寸法を獲得するために要求される。

本発明の他の好ましい実施態様は、3次元回路及びデバイスの形成に関する。重要なことには、これらの3次元回路及びデバイスは、小領域における高密度回路構成を設ける。それ自体、3次元(3D)回路及びデバイスは、スタックドメモリ、多機能並列処理回路、高密度低パワーCMOSスタティックRAM、表示パネルのための周辺駆動回路構成と多数の高速度低パワーCMOSデバイスを含む高密度電子回路構成を作製するために使用される。

本発明による、好ましい作製プロセスは、いろいろな3D回路及びデバイスを設けるためにシリコン膜の単一及び二重転写と該膜の裏面処理を具備する。一つの好ましい実施態様において、3D二重ゲートMOSFETデバイスが作製される。まず、ドレイン、ソース及びゲート領域を有する標準MOSFETは、適切な技術により、SOI構造のシリコン層において形成される。次に、MOSFETは、裏面処理のために上層に単一転写される。絶縁層の領域は、シリコン層の裏面領域を露出するために除去される。それから、第2ゲートは、第1ゲートと反対側のシリコン層の裏面領域に隣接して形成される。導電性接点、第2ゲートに接続され、これにより、3D二重ゲートMOSFETを設ける。

本発明の別の実施態様において、3D二重ゲートMOSFETインバータは、そのnチャネルMOSFETとそのpチャネルMOSFETが

同一本体を共有し、それぞれのチャネルは共有本体の対向側において配設される如く作製される。このインバータを作製する際に、シリコン層は、基板における地層層上に形成される。シリコンがアイランドにパターン化された後、一連のドーピング段階が、第1ドレイン、第1ソース及びチャネル領域(共有本体領域の部分)を有する第1MOSFETを生成するために、シリコンにおいて行われる。第1ドレイン、第1ソース及びチャネル領域は、シリコンを通った平面において第1輪に沿って配設される。別の一連のドーピング段階は、第1輪に垂直な第2輪に沿って配設された、第2ドレイン、第2ソースとチャネル領域を有する第2MOSFETを生成するために、シリコンにおいて続いて行われる。それから、第1ゲートは、シリコンの平面の一方の側において形成され、そして接点、第1ソース、第1ドレイン、第1ゲート、第2ソースと第2ドレインに接続される。シリコンは、上層に貼着され、そして基板は、裏面処理のために除去される。従って、地層層の領域は、シリコンアイランドの裏面領域を露出するために除去され、そして第2ゲートが形成される。第2ゲートは、チャネル領域上の第1ゲートとしてシリコンアイランドの平面の反対側に位置付けられる。それから、接点、第2ゲートに接続され、そして2つのゲートは、電気的に連結される。

別の実施態様において、別の3D二重ゲートMOSFETインバータは、一対の垂直スタックMOSFETから形成される。作製シーケンスは、第1基板上の第1シリコン層において第1MOSFETデバイスを形成し、第2基板上の第2シリコン層において第2MOSFETデバイスを形成することを含む。第1MOSFETデバイスは、上層に転写され、そして第2MOSFETデバイスは、透光性基板に転写される。次

に、第1シリコン層は、2つのMOSFETデバイスが垂直に位置合わせされる如く、第2シリコン層に積み重ねられる。それから、MOSFETは、3Dインバータ回路を設けるために電気的に相互連結される。

さらに別の実施態様において、垂直バイポーラトランジスタが、発明の原理により作製される。作製プロセスは、基板における地層層上にシリコン層を設けることから始まる。次に、一連のドーピング段階が、コレクタ領域、エミッタ領域とベース領域を生成するために行われる。それから、導電性接点、コレクタ、エミッタとベースに対して形成される。積層は、裏面処理のために上層に単一転写される。そのために、地層層の領域が、シリコン層の裏面領域を露出するために除去される。金属層が、シリコンの露出裏面に塗布され、焼結される。

作製された回路と他の材料がまた、発明により、3D回路モジュールに積み重ねられる。回路は、I-V、 μ -V又は π -V化合物又はダイアモンド層で作製される。加えて、3D回路モジュールは、積み重ね層又は種々の材料を具備する。

本発明の好ましい実施態様により、3Dモジュールにおけるいろいろな回路層が相互連結される。回路層は、導電性材料又は無接点カブリングにより相互連結される。3D回路モジュールにおいて、相互に付着された回路層は、介在された薄層エポキシ層である。相互連結は、ファイアを形成し、それから、ファイアに誘導メタライゼーション層を堆積するためにパターン化層を形成する。代替的な好ましい実施態様において、回路層は、光カブラーによって相互連結される。さらに別の好ましい実施態様において、回路層は、容量性又は誘導性カブリング要素によって結合される。

本発明によるスタック3D回路モジュールは、スタック回路層に介在された伝熱層を具備し、伝熱層が熱伝導層として作製された外部ヒートシンクへの熱伝達を高める。伝熱層は、薄層ダイアモンド、炭化ケイ素、窒化アルミニウム、アルミナ、ジルコニウム、セラミック材料又は酸化バリウムから成る。

図面の簡単な説明

第1図は、アクティブマトリックス液晶ディスプレイ(AMLCD)の形式における高密度回路モジュールの斜視図である。

第2A図は、2つの6インチ角インバータが、8インチAMLCDのためのタイルを形成するために使用される方法を示す略図である。

第2B図は、AMLCDを形成するためのガラス基板上に適用された第2A図のタイルを示す。

第3図は、第1図のAMLCDのためのドライバシステムを示す回路図である。

第4A~4L図は、第1図のAMLCDのための回路パネルの部分の作製を示す好ましいプロセス流れ順序図である。

第5A図と第5B図は、AMLCDの部分の断面略図プロセス図である。

第6図は、再結晶化のために使用されたシステムの好ましい実施態様を斜視図で示す。

第7A~7D図は、ガラス上層へのシリコンオキシド(SOI)構造の転写及び貼着と基板の除去を示すプロセス流れ順序図である。

第8A図と第8B図は、GeSi合金が中間エッチストップ層として使用される代替的転写プロセスを示すプロセス流れ順序図である。

第9A図と第9B図は、圧力センサー又はそのようなセンサーのアレイを形成するために使用された別の薄層タイル貼着及び転写プロセスを示すプロセス流れ順序図である。

第10A図と第10B図は、第9A図と第9B図のプロセスの代替プロセスを示す。

第11A~11D図は、3次元回路の形成において使用された回路転写段階を示すプロセス流れ順序図である。

第12A図と第12B図は、それぞれ、接着剤によって包囲されガラス基板上において位置付けられたMOSFET回路と、空気によって包囲されガラス基板上において位置付けられたMOSFET回路の駆動電流とドレイン電流特性を示すグラフである。

第13A図と第13B図は、層状デバイス間の電気相互連結の形成を示すプロセス流れ順序図である。

第14図は、層状デバイス間の非所望の電気干渉を最小化するための層状構造において位置付けられた遮断層を示す。

第15A~15G図は、3D二重ゲートMOSFETデバイスの作製を示すプロセス流れ順序図である。

第16A~16J図は、3D二重ゲートインバータの作製を示すプロセス流れ順序図である。

第17A~17D図は、3Dスタックインバータの作製を示すプロセス流れ順序図である。

第18A~18H図は、垂直バイポーラトランジスタの作製を示すプロセス流れ順序図である。

第19A~19D図は、 μ -V回路アレイの作製を示す。

第20図は、前述シリコン電子回路構成を具えるシリコン基板において添え付け又は組み重ねたXYアドレス指定可能なLEDアレイの平面図である。

第21図は、発明の赤外対可視光コンバータの実施態様の略側面図である。

第22図は、3色XYアドレス指定可能なLEDアレイのピクセルの断面図である。

第23図は、第22図のアレイの平面図である。

第24A~24C図は、3D回路スタックを相互連結する好ましい実施態様を示す。

第25A~25C図は、熱処理された3Dスタックの好ましい実施態様を示す。発明の詳細な説明

1. タイル化アクティブマトリックス液晶ディスプレイ

共通モジュール基板において複合混成多機能回路構成を製作するための発明の好ましい実施態様が、第1図に示された如く、AMLCDの文脈において示される。AMLCDの基本構成要素は、平質光灯又は白熱電灯、あるいは白色、赤色、青色及び緑色蛍光体を有するELランプの如く光源10、第1偏光フィルター12、回路パネル14、オプションのフィルタープレート16、及び第2偏光フィルター17を具備し、これらは層状構造を形成する。注意：フィルタープレート16は、白黒ディスプレイに対して、又は赤色、緑色及び青色が適切なピクセルにおけるランプによって設けられる場合に必要とされない。ツイストネマティックの如く液晶材料23が、回路パネル14とフィルタープレート16の間に配設される。

回路パネル14の基板13において形成される。各ピクセル22は、X軸においてそれぞれの駆動回路18A又はB、そしてY軸において20A又はBから電圧作動される。X及びY駆動回路は、制御論理回路40AとBからの信号によって制御される。各ピクセル19は、ピクセルカラーフィルタープレート16の裏側において形成した対向電極（不図示）の間に配設した液晶材料23において電界を生成する。

ピクセル22によって形成した電界は、液晶材料を通過される光の偏光の回転を生じさせ、その結果、隣接カラーフィルター要素が照明されることになる。フィルタープレート16のカラーフィルターは、青色24、緑色31、赤色27と白色29の如く、4つのフィルター要素のグループに配置される。フィルター要素に付随したピクセルは、そのピクセルグループに対する任意の所望のカラーを設けるために選択的に作動される。

アレイピクセル22を制御するために使用される一般駆動及び論理回路が、第3図に示される。駆動回路18Aは、制御論理回路40Aから入力信号を受信し、そして相互連結線53を通して論理回路40Aによって選択された列の一つにおけるTFT51に信号を送信する。論理制御回路40Aによって制御されたY駆動回路20Aは、列バス53に垂直な行バス59を付勢し、選択行におけるTFT51の各ゲートGに電圧パルスを印加する。TFTがゲート及びソース電極の両方において電圧パルスを有する時、電流が、個々のトランジスタ51を流れて、それぞれのピクセル22においてコンデンサ56を充電する。コンデンサ56は、ピクセルアレイ25の次の走査まで液晶材料（19で概略的に図示）に隣接したピクセル電極において電荷を保持させる。注意：発明

回路パネル14は、制御論理回路40Aと40Bと駆動回路18Aと18B、20Aと20B、及びアレイ回路25Aと25Bを具備する複数の共通多機能回路が転写される。例えば、ガラスから形成した透明共通モジュール本体13から成る。好ましくは、高速動作を必要とする論理及び駆動回路は、 α -Siのタイルにおいて形成される。アレイ回路は、合成TFTにおける漏れの低下と、このため、ゲースケールの改良を達成するために、 α -Si材料又はポリSiにおいて、好ましくは、 α -Siにおいて形成される。高速はまた、 α -Siにおいて達成される。4x8インチアクティブマトリックスLEDアレイは、第2A図に示された如く、2つの標準6インチ寸法SiウェハーW1とW2から形成される。アレイ回路25Aは、ウェハーW1において形成され、そして1インチ対4インチタイルTAが、ウェハーW1から基板14に転写される。注意：転写は、以下に詳細に記載される如く、単一又は二重転写プロセスのいずれかを使用して達成される。各タイルは、ミクロンスケールの精度が可能な微小位置決め装置とマニピュレータを使用して、別のタイルに対して登録される。同様に、タイルTBは、基板又は共通モジュール本体13（第2B図参照）においてアレイ25Bを形成するために、ウェハーW2から転写される。

論理回路40A、40Bと駆動回路18A、18B、20A、20Bは、他の適切な基板（不図示）において形成され、共通基板13に同様に転写され、第1図に示された如く、アレイ25A、25Bに対向して登録される。それから、導電連結部50が、駆動回路と個別ピクセル22と論理制御回路40A、40Bの間に作成される。このようにして、ピクセル22の1280対1280アドレス指定可能アレイが、回

の多様な実施態様は、所望のディスプレイの形式により、各ピクセルでコンデンサ56を使用する又はしない。

II. 転写プロセス

アレイ回路25Aと25B、論理回路40A、40Bと駆動回路18A、18Bは、多数のプロセスによって形成かつ転写される。単一転写プロセスにおける基本段階は、Si基板において複数の薄層Si回路から形成し、タイルを形成するために薄層をダイス化し、そして「タイリング」により共通モジュール基板にタイルを転写することである。タイリングは、転写する段階と転写されたタイルを登録する段階と、登録されたタイルを付着する段階とを含む。それから、Si基板は除去され、タイルにおける回路が相互連結される。

第4A~4L図に関連して以下に詳細に記載された二重転写接近方法は、Si基板がダイシングの後に除去され、そして薄層が、共通モジュール本体への最終的な転写の前に、中間転写本体又はキャリアに転写されることを除いて同様である。

孤立シリコンエピタキシー（ISE）が使用されると仮定すると、第1段階は、シリコンオンインシュレータ（SOI）膜の薄層先駆構造を形成するものである。第4図に示されたものの如くSOI構造は、Siの基板32と、半絶縁Siの緩衝層30と、通常化学蒸着（CVD）によって緩衝層30上に成長又は堆積された酸化物34（例えば、 SiO_2 ）とを含む。それから、下絶縁層34よりもゆっくりとエッチングされる材料のオプションのリリース層36が、酸化物34の上に形成される。

例えば、窒化シリコン（ Si_3N_4 ）と二酸化シリコン（ SiO_2 ）の混合物を含む酸化窒化シリコンリリース層が、適切な選択である。そのよ

うな層は、 SiO_2 単独よりもゆっくりとフッ化水素酸においてエッチングされる。このエッチング中は、酸化窒化シリコン (SiO_2N) 化合物における N と O の比率を調整することにより制御される。

シリコンの薄い本質的単結晶層 38 は、リリース層 36 の上に形成される。酸化物 (又は絶縁体) 34 は、こうして、 Si 表面層の下に埋め込まれる。ISE-SOI 構造の場合に対して、頂部層は、CMOS 回路が作製される本質的単結晶再結晶化シリコンである。

注意：本出願の目的のために、用語「本質的」単結晶は、多数の結晶が共通結晶配向を示し、少なくとも 0.1m^2 、好ましくは、 $0.5\sim 1.0\text{cm}^2$ 以上の範囲において、膜の平面における断面領域上に広がる膜を意味する。用語はまた、完全単結晶 Si を含む。

埋め込み絶縁体の使用は、従来のパルク (チョクラルスキー) 材料において獲得されるよりも高速のデバイスを作る。1. 5×10^6 を超える CMOS トランジスタを内蔵する回路が ISE 材料において成功的に作製された。酸化シリコンのオプションのキャッピング層 (不図示) はまた、層 36 の上に形成され、アクティブデバイスが形成される時除去される。

第 4B 図に示された如く、膜 38 は、各表示ピクセルに対する領域 37 における TFT と 39 におけるピクセル電極領域の如く、アクティブ回路を規定するためにパターン化される。注意：簡明化のために、唯一の TFT 51 と一つのピクセル電極 62 が示される (第 4H 図)。1280 対 1024 のそのような要素のアレイが、実際に、単一 6 インチウェハー上に形成されることが理解される。

複数のアレイは、単一の 6 インチウェハー上に形成され、タイルとし

てデバイスが処理され、そして検閲の処理が行われる前に、回路が、必要に応じて試験及び修復される。

プロセスにおける次の段階は、直接に、又は基板からキャリアと、それから共通モジュールへの二重転写により、シリコンピクセル回路膜を共通モジュールに転写するものである。二重転写接近方法は、第 4H~4L 図に示される。回路タイルを環面層 30 と基板 37 から分離するために、第 1 開口 70 (第 4H 図) が、タイル間に発生するリリース層 36 の露出領域においてエッチングされる。酸化層 34 は、酸化層 36 よりも HF においてより急速にエッチングされ、こうして、層 34 の大部分が、空洞 72 を形成するために除去される。層 36 の部分は、こうして、空洞 72 上に広がる。

第 4I 図において、酸化物の支持柱 76 は、空洞 72 と、層 36 の部分の上に広がる開口 70 を満たすように形成される。それから、開口又はファイアホール 74 は、エッチャントが、層 34 (第 4J 図) を除去するために、ホール 74 又はリリース層 36 の下にエッチングされた開口 78 を通って導入される如く層 36 を通して設けられる。残りのリリース層 36 とそこに支持された回路膜は、支持柱 76 により基板 32 と環面層 30 に関して適所に保持される。

次に、紫外線で硬化されるエポキシ樹脂 84 が、回路膜と層 36 に透光性上層 80 を装飾するために使用される。それから、環面層 30 と基板 32 がパターン化され、柱 76 の回りのエポキシ樹脂 84 の領域が未硬化であり、一方、残りのエポキシ樹脂 84 が硬化される (第 4K 図) 如く選択的に露光される。環面層 30 と基板 32 と柱 76 は、酸化物柱の露光と未硬化エポキシ樹脂 84 の溶解によって除去され、キ

でディスプレイに適用され、相互連絡される。代替的に、一つのウェハーからの複数のピクセルマトリックスが分離され、個々のディスプレイにおいて使用される。複数の、段つきの小形アレイ (小形ディスプレイにおいて使用される) によって包囲された一つの大形矩形アレイを具備する。種々の面積の矩形アレイを混合することにより、そのような配役は、丸形ウェハーにおける全利用可能領域をより良く活用する。

次に、酸化層 40 が、各ピクセルの 2 つの領域 37、39 の間に形成した絶縁体領域 48 を含むバターン化領域上に形成される。それから、異性結晶化材料 38 は、n チャネルデバイスを設けるためにホウ素又は他の p 形ドーパント (又は代替的に、p チャネルデバイスのための n 形ドーパント) を打ち込まれる (第 4C 図)。

それから、多結晶シリコン層 42 が、ピクセル上に堆積され、そして層 42 は、第 4D 図に示された如くマスクを通して、n 形ドーパントを打ち込まれ 46、TFT のゲートとして使用されるために層 42 の低抵抗率を低下させる。次に、ポリシリコン 42 は、第 4E 図に示された如くゲート 50 を形成するためにバターン化され、ゲート電極の両側において TFT のための p⁺ ソース及びドレイン領域 66、64 を設けるために、ホウ素の大きな打ち込み 52 が続いて行われる。第 4F 図に示された如く、酸化物 54 が、トランジスタ上に形成され、そして開口 60、56、58 が、ソース 66、ドレイン 64 とゲート 50 に接触するように酸化物 54 を通って形成される。アルミニウム、タングステン又は他の適切な金属のパターン化メタライゼーション 71 が、露出ピクセル電極 62 をソース 66 (又はドレイン) に接続し、ゲートとドレインを他の回路パネル構成要素に接続するために使用される。

リヤ 80 に取り付けられた第 4L 図に示された環面タイル構造 141 を設ける。

最終表示パネルを形成するために、キャリア 80 の縁は、タイル境界と一致するようにトリミングされる。酸化リリース層 36 は、エッチングによって除去される。

第 5A 図に示された如く、複数のタイル構造 141 が、相互に順次に登録され、適切な接着剤 (不図示) を使用して、共通モジュール本体 110 に付着される。共通モジュール本体 110 は、好ましくは、個々のタイル回路構成を相互連絡するためにタイル構造 141 に面する表面において相互連絡メタライゼーションをバターン化される。次に、絶縁及びアライメント層、スペーサー、密封境界と連絡部 (不図示) のためのボンディングパッドが、共通モジュール本体 110 の周辺部に貼着される。スクリーン印刷プロセスは、境界を準備するために使用される。第 5B 図に示された如く、カラーフィルター 120 と対向電極 (不図示) を含む板 117 が、スペーサー (不図示) の挿入の後に、密封境界に関して周辺回路タイル 141 に貼着される。ディスプレイは、境界を通った一つ又は複数の小注入穴を介して選択性材料 116 を注入される。この注入穴は、それから、樹脂又はエポキシ樹脂で密封される。第 1 及び第 2 偏光膜 118、112 又は層は、両側に貼着され、そしてコネクタ (不図示) が付加される。最後に、白色光膜 114 又は他の適切な光膜が、偏光子 112 に貼着される。

ピクセル電極 62 は、互いに横に接続される。各ピクセルは、トランジスタ 51 と、関連したカラーフィルター 120 又は 122 を有する。ボンディング要素又は接触部 82 とガラス又はプラスチックの如く透光

性上層110が、構造を完成する。本体110は、好ましくは約200～1000ミクロンの厚さを有する、好ましくは、低張ガラスである。

代替的なCLEFTプロセスにおいて、薄い単結晶膜が、化学蒸着(CVD)によって成長され、そして再使用可能なホモエピタキシャル基板から分離される。CLEFTによって基板から除去された膜は、低欠陥密度の「本質的」単結晶であり、わずかに数ミクロン厚で、結果的に、このプロセスによって形成された回路パネルは、軽微で、良好な透光特性を有する。

米国特許第4,727,047号において示されたCLEFTプロセスは、次の段階を含む。リリース層(虚弱平面)上の所望の薄膜の成長、メタライゼーションと他の薄膜の形成、膜とガラス(又は上層)の如く第2基板の間のボンディングの形成、及び劈開による組み込み虚弱平面に附った分離である。基板は、それから、再使用のために利用される。

CLEFTプロセスは、リリース層の頂部において連続膜を形成するために、単エピタキシャル成長を使用して、本質的単結晶材料のシートを形成するために使用される。シリコンに対して、単エピタキシーは、選択的CVD、又は、好ましくは、ISEプロセス、あるいは他の再結晶化手順により達成される。代替的に、他の標準堆積技術が、本質的単結晶材料の必要な薄膜を形成するために使用される。

リリース層を形成する材料の必要特性の一つは、層と半導体膜の間の接着力の欠如である。虚弱平面がリリース層によって生成された時、膜は、劣化なしに基板から劈開される。第4A～4C図に関連して注記された如く、リリース層は、Si₃N₄とSiO₂の多層膜を具備する。そのような接近方法は、SiO₂をしてCMOS論理の裏面を不活性化

させるために使用される。(Si₃N₄は、虚弱平面を生成するために好まれる層である。)CLEFT接近方法において、回路は、まず、ガラス又は他の転写基板に貼着され、それから、分離され、例えば、UV硬化テープと比較して、より容易に取り扱いとなる。

虚弱平面は、回路と基板の間の一様な劈開を獲得するべきである。この平面は、下側の半導体表面のわずかな小割合が露出される如く、ウェハーの表面において炭素のパターンを生成することにより形成される。これらの露出部分は、エピタキシャル膜のための核形成部位として使用される。成長条件が適正に選択されるならば、膜は、垂直よりも横により高速に成長し、単結晶膜の横過剰成長につながる。垂直成長により、膜は、連続かつ高品質になる。しかし、炭素層は、虚弱であり、膜が基板に強力に装荷された露出半導体領域の小割合と組み合わせ、虚弱平面を生成する。この平面は、基板から膜を分離するために信頼性良く、かつ再生可能に使用される。基板は、再使用される。これらのプロセスは、アクティブ回路構成を要することなく、ガラス、セラミック、及び他の材料の如く代替の基板に広範囲のGaAs及びSi回路を転写するために使用されている。

ISEプロセスにおいて、酸化膜は、基板と、回路を含む頂部Si膜に強力に装荷される。このために、ボンディングの強度を化学的に縮小することが必要である。これは、リリース層において虚弱平面を形成するために、完全な分離なしに、エッチャントで優先的に溶解されるリリース層の使用を必要とする。それから、膜は、ガラスが回路と電極に貼着された後、機械的に分離される。

機械的分離は、透明エポキシ樹脂を使用して、ガラスの如く上層にS

i膜の上面を貼着することにより達成される。それから、膜とガラスは、劈開支持物として役立つ約5mm厚のガラス板にワックスで貼着される。金属くさびが、表面を別れさせるために、2つのガラス板の間に挿入される。マスクが基板に対して低接着力を有するために、膜は、基板から、劈開されるが、ガラス上に取り付けられている。それから、基板は、CLEFTプロセスの別のサイクルに対して使用され、そしてデバイス処理が、膜の裏面において完成される。なお、デバイスは上層に装荷されているために、裏面は、光学的リソグラフィーを含む標準ウェハー処理を受ける。

発明の一つの実施態様は、本質的単結晶Si薄膜を形成するために、第6図に概念的に示された再結晶化システムを使用する。サンプルウェハー134は、ポリSiをSiウェハーの上に形成したSiO₂上に形成してなる。キャッピング層138は、ポリSi上に形成される。それから、ウェハー温度は、下方ヒーター130によって臨点近くまで上昇される。上方ワイヤ又は黒鉛炭片ヒーター132がサンプル134の頂面を走査し、移動するメルトゾーン136をして多結晶シリコンを再結晶又はさらに結晶化させる。単エピタキシーは、下方酸化物を通して形成された小開口からシーディングされる。生ずる単結晶膜は、基板の配向を有する。

多数のユニークなデバイス及び回路が、上記の処理技術を使用して形成された。これらの技術は、ISEウェハーからガラスにCMOSアクティブマトリックスLCD回路構成を転写するために使用され、単結晶Siアクティブマトリックス回路による優れたディスプレイを産出する。シリコン回路構成は、ガラスに転写され、転写の後にトランジスタ特性

において重要な変化を示さない。技術はまた、III-V化合物半導体回路で立証された。例えば、GaAs及びAlGaAsモノリシック直列連結光起電力エネルギーコンバータが、例外的な性能を生み出すファイバー応用のパワースタックのために作成された。また、2次元マルチプレクスAlGaAsLEDアレイ(32Kピクセル以上)が、転写及び両面処理により作成され、性能とともに極めて高いLED密度を発揮する。この広範囲のSi及びIII-V回路の開発は、広範囲のデバイス及び回路への転写プロセスの一般応用性を示す。

III. 代替的接着及び転写プロセス

第7A～7D図は、共通モジュール本体へシリコンの両側の回路のタイルを付着かつ転写するための代替的な好ましい二重転写プロセスを示す。開始構造は、酸化層116と、ポリSi、A-Si又はx-Siの両層114が、ISE又はCLEFTの如く前述のプロセスのいずれかを使用して形成されるシリコンウェハー118である。ピクセル電極、TFT、SiドライバーとSi制御回路の如く複数の回路が、両膜において形成される。第7A図は、3つのそのようなウェハーI、II、IIIを示す。ウェハーIにおいて、論理回路40が形成される。ウェハーIIにおいて、ピクセル電極52とTFT51が形成される。ウェハーIIIにおいて、ドライバー回路20が形成される。ウェハー、又はウェハーからダイス化された個々のタイルが、接着剤120を使用して、ガラス又は他の透明絶縁体の如く、上層転写本体112に装荷される。好ましくは、接着剤は、市販されるエポキシ樹脂からなる。

それから、ウェハー又はタイルが洗浄され、そして自然酸化物118が、表面からエッチング除去される。ウェハーの厚さにより、Si11

8と酸化物116層をエッチングするために最高5時間かかる。溶液は、シリコンを非常に迅速に、すなわち、2〜3ミクロン/分で、ウェハーがエッチング表面を上にして溶液に水平に保持されるならば一様にエッチングする。酸は、酸化物において非常に低いエッチング率を有し、その結果、基板がエッチング除去され、埋め込み酸化物が露出される時、エッチング率は低下する。即ち、プロセスを監視し、そして埋め込み酸化物116におけるエッチングを、その上の新しいシリコン層114まで打ち抜くことなく停止させる。最大25ミル厚のウェハーと4000Åの新しい酸化物が、このプロセスを使用して、成功的にエッチングされた。代替的なエッチャントは、ずっと高いエッチャント選択性を有するヒドラジンか、又はエチレンジアミンピロカテコール (EDP) である。

シリコンが完全に消失した時、シリコンエッチングを特性付ける脆弱なバウリングが、突然に停止し、エッチングが完了したことを知らせる。

それぞれのガラス上層112に転写された薄膜114は、今、水洗いされ、乾燥される。まだ回路40、51、62又は20を埋めていないならば、膜114は、所望ならば、裏面回路を処理される。

すべての必要な回路が、転写本体112上に上記の如く形成された後、それらは、ダイス化され、AMLCDの如く、組み合わせ機能を行うために、共通モジュール本体13 (第7D図) にタイラ化される。

第7C図のカラムAにおける転写本体118の論理回路40は、モジュール本体13の境界に転写され、一方、第7C図のカラムCにおける転写本体118からのドライバ回路20は、論理回路40Aと40Bの間の境界において配設される。

て除去され、GeSi層129 (第8B図) に影響しない。最後に、GeSi層124は、適切なエッチングにおける簡単な浸漬によって除去される。

IV. 圧力センサー実施態様

第9A図と第9B図は、回路の絶縁と転写に関する代替態様を示す。代替的な実施態様において、ガラス基板において感圧変換器を作製する方法が、第9A図と第9B図に示され、以後記載される。変換器回路は、回路に加えられた圧力に反応して、p領域904の抵抗の変化を検知することにより動作する。この抵抗変化は、接点912と912に結合されたオーム計によって検知され、校正され、ひずみ計として役立つために圧力センサーに変換される。開始構造は、第9A図に示される。埋め込み酸化物902の下にSi基板900から成るSOIウェハーが設けられ、埋め込み酸化物902の上に、単結晶又はは半結晶Si層904が形成される。ホウ素イオンのブランケット打ち込みが、Si層をp形領域にするために作成される。それから、酸化物(SiO₂) (不図示) の薄い(1000Å)ブランケット保護/マスク層が、構造の上に形成される。(なお、第9A図は、処理後の構造を示す。) それから、x-Siの単結晶又はは半結晶アイランドが、フォトリソを酸化物構造の上に塗布し、[110]平面に平行にアイランドの縁を露出させるように、アイランド間で酸化物とシリコン904をエッチングすることにより形成される。フォトリソが再び塗布され、そして接点開口が、領域910と908に接触するように形成され、それから、p形導電領域を形成するために高用量のホウ素イオンを打ち込まれる。それから、保護酸化物906が、アイランドの上に形成される。接点90

ビクセル電極62とTFT51のタイルは、ダイシング又はエッチングによって形成され、そして図示された如く、相互とモジュール本体13における前形成ワイヤリング50に関して登録される。

すべての回路が登録され、モジュール本体に付着された後、転写本体118とエポキシ樹脂120は、ガラス転写本体の場合にHFの如く、適切なエッチャントを使用して除去される。

回路の相互連結は、登録中、又は必要な場合に直接レーザー照射により達成される。また、所望ならば、膜は、別の基板に転写され、そして第1ガラス上層と接着剤が、エッチング除去され、一層の回路処理のためにウェハーの前面への接近を許容する。

第8A図と第8B図は、代替的な1ステップシリコン薄膜転写プロセスを示し、この場合、GeSiが中間エッチストップ層として使用される。このプロセスにおいて、Si膜層126は、x-Si基板128上に形成され、続いて、公知のCVD又はMBE成長システムを使用して、薄いGeSi層129と薄いA-Si、ポリSi又はx-Siデバイス又は回路層132が形成される。

それから、層132は、TFT200とビクセル電極202 (第8A図) の如く、回路を形成するために、第4E〜4H図に関して前述された方法でIC処理される。次に、処理ウェハー又はウェハーからのタイルは、第7A〜7B図に関連して前述された形式のエポキシ接着剤を使用して、共通モジュールガラス (又は他の) 支持物280上に取り付けられる。エポキシ樹脂は、前記の処理によって形成された空隙を満ちし、前面を上層280に付着する。

次に、原Si基板128とSiバッファ126が、エッチングによ

8、910へのアルミニウム接点パッド912と913が、酸化物906を通して設けられた開口において形成される。第9A図の圧力変換器回路は、今、仮ガラス基板への転写のための準備が整う。

回路918が形成された後、回路は、除去可能なエポキシ樹脂922を使用して、仮基板920に転写される。シリコン基板900は、エッチング除去される。それから、フォトリソとマスクを使用して、初期酸化物902が、回路918の周囲でエッチングされ、回路をガラス基板920に反転転写させるために自由にし、除去可能なエポキシ樹脂922を使用して剥離可能に貼着し、温度、圧力、加速等を含む一般換知用モジュールに転写貼着され、高速プロセスコントローラを作成するために、すべてマイクロプロセッサ監視下で行われる。

第10A図と第10B図は、代替的な転写プロセスを示し、この場合、初期酸化物902は、従来のフォトリソ及びマスク技術を使用して、各回路918の周囲をエッチングされる。Si基板900はまた、局所的にエッチングされ、[111]平面を現すために、優先的にSiをエッチングする。窒化層は、エッチャントがアルミニウムをエッチングしない如く付加される。ヒドラジンによるSi基板のエッチングは、回路918をアンダーカットし、回路の下に空洞930を形成し、回路918と基板の間にブリッジ構造934を残す。

一つ以上の回路918を除去することが望ましい時、真空つえが、一つ以上の回路をつかみ、ブリッジを壊すために使用され、共通モジュール基板に他の回路とともに転写され、前述の全体機能を行うために他の回路構成と整列かつ相互連結される回路を除去する。代替的に、レーザー切断の如く他の技術が、基板から回路を除去するために使用される。

第10B図は、基板900が、図示されたブリッジ934の部位をエッチングされる前の第10A図の頂面図である。ブリッジは、図918の長対称軸に関して約 $22.1/2$ の角度を有す。

V. 3次元回路構成

A. 3D回路アーキテクチャー

本発明の他の実施態様は、3次元回路の形成に関する。2層の3次元回路を形成する際に、Si基板1001における酸化層1004上のシリコン層1002に形成した第1回路1000(第11A図)は、第11B図に示された如く、ガラス上層1006に転写される。さらに具体的には、単一転写回路1000は、ガラス上層に転写され、前述の転写方法のいずれかにより、アモルファスシリコンで被覆され、そして接合剤又はエポキシ樹脂1008でガラスに封着される。第11C図を参照すると、第2回路1010が、ガラス又はダイヤモンド基板1011に二重転写される。回路1010は、好ましくは、酸化層1014上のシリコン層1012において形成され、接合剤又はエポキシ樹脂1016の層によって基板に封着される。

第11D図を参照すると、3次元デバイスが、高い一様な接合剤1018を使用して、二重転写回路1010(第11C図)の頂部に単一転写回路1000(第11B図)を貼着することにより形成される。回路はガラス基板1011を通して観察されるために、それらは、マスクがプロセスにおいて又は他の適切な微小位置決め工具又は接合によりシリコン回路の頂部に位置合わせされる光学的リソグラフィにおいて定型的に行われる如く、顕微鏡若しくは接触又は近接アライナーを使用して位置合わせされる。

た回路の熱効果を小さくさせる。キャリア移動度は、回路の温度が増大する時減少し、そして性能は、キャリア移動度に直接に関係することが注目される。こうして、高伝導性エポキシ樹脂における周期回路は、性能特性の改良につながるより低いデバイス温度を設ける。これらのエポキシ樹脂は、ダイヤモンド酸化アルミニウム、炭化ケイ素、及び他の伝導性化合物の如く、材料の結子で満たされる。多数の熱伝導性/電気絶縁性エポキシ樹脂が利用可能である。

この接合方法の利点は、スタック内のヒートシンク層を統合する能力である。熱放散は、3Dアーキテクチャーにおける重要な問題であり、そしてアクティブ電子層間の熱伝導層の挿入の能力は、好都合である。これらの層は、熱伝導のために考えられるSi又は他の半導体において達成されるよりも、ずっと高い熱伝導率を有する。

3次元回路の形成における一つの重要な見地は、層状デバイスを相互連結することに係る。そのような回路において、デバイス層の間に配設されたエポキシ樹脂は、数ミクロンの厚さを獲得するようにスピンされることが注目される。代替的に、他の公知の技術が、エポキシ樹脂の薄い一様な層を獲得するために使用される。第13A図は、線A-Aに沿って取られた第11D図の断面図であり、回路1010(第11D図)への電気連結を設けるためにシリコン層1012の平面においてメクライゼーションを介して形成した下方接触領域1020を示す。同様に、上方接触領域(不図示)は、シリコン層1002の平面において下方領域のすぐ上に形成され、上方回路1000(第11D図)に電気的に連結される。第13B図を参照すると、上方及び下方領域(1024、1020)は、接触用領域を強化するためにオプシンのポリSi層を使

用する。ファイアホール1022は、下方接触領域1020への接近を獲得するために上方接触領域1024を通過して形成される。高アスペクト比でファイアホールを形成するためのエッチングは、RIE技術により行われる。上方及び下方デバイスの間の電気接触は、タングステン又はアルミニウムの如く導電性材料でファイアホール1022を充填することにより作成される。

貼着後、上層1006は、二重転写プロセスにおける如く除去され、そして接合剤1008が、酸素プラズマにおいて除去される。これは、頂部回路1000の表面を露出させておく。底部回路1010は、接合層1018の下に埋め込まれる。回路の層間に連結部を作成するために、開口又はファイアホール(不図示)が、2つの回路層において接触エリアを露出するために、適切なエッチャントによって規定される。酸化物のすべては、マスクとしてフォトリソグリストを使用して、硬質HFにおいてエッチングされ、一方、接合剤は、マスクとして以前にエッチングされた酸化物を使用して、酸素プラズマにおいて又は反応性イオンエッチング(RIE)によりエッチングされる。いったんこれらのファイアホールが貼着層において開放されたならば、それらは、各層間を接触させるために金属を充填される。層間連結は、以下に詳細に説明される。重ね合わせ回路間の接合層は、層間接触を容易にするために、非常に薄く、1~25ミクロン、好ましくは5ミクロン厚に保持されなければならない。プロセスは、付加層をデバイスに付加するために反復される。

3次元構造における各回路の性能特性は、回路が配設された媒体の熱伝導率に依存する。第12A図と第12B図は、(第11D図における如く)3次元デバイスの下方MOSFET回路の性能曲線と、二重転写の後と(第11C図における如く)3次元取り付けの前の類似のデバイスの対応する曲線を示す。第12A図と第12B図のグラフは、相互コンダクタンスと駆動電流が、回路がエポキシ樹脂(第11D図)の下に埋め込まれる時に、周囲空気に露出される時(第11C図)よりも、より高いことを示す。この効果は、空気に関するエポキシ樹脂のより高い熱伝導率によって説明され、エポキシ樹脂(第11D図)に埋め込まれ

用する。ファイアホール1022は、下方接触領域1020への接近を獲得するために上方接触領域1024を通過して形成される。高アスペクト比でファイアホールを形成するためのエッチングは、RIE技術により行われる。上方及び下方デバイスの間の電気接触は、タングステン又はアルミニウムの如く導電性材料でファイアホール1022を充填することにより作成される。

3次元回路の別の重要な見地は、デバイス間の非所望の電気又は磁気干渉を回避するためにデバイス層を遮蔽することに係る。第14図を参照すると、基板表面1026が、磁気干渉を防止するために、デバイス層1028と1030の間に位置付けられる。これらの伝導性遮蔽層1026は、デバイス1034と反対側の酸化層1032の表面において金属又はITD堆積により作成される。代替的に、基板表面は、スタック構造においてデバイス層に代わる導電性エポキシ樹脂又は高ドーブリシリコン層を形成される。

多層スタックを形成する転写技術を使用する利益は、優れた放射抵抗と低重量が望まれるならば達せられる。基板の除去は、単一単層転写の重量を減少させ、重量を小さくさせるが、デバイスの外面における高放射遮蔽材料の使用の存在性は重要である。この遮蔽は、2D幾何形状のために必要とされるよりも、重量の増大のずっと少ない傾き面回路の多数の層を保護する。こうして、放射抵抗と重量が重要な因子である空間応用に対して重要な利益がある。

処理技術の一面の利益は、多層回路が耐干渉性にされることである。この利益は、独占回路のための逆工学の防止のために特に重要である。2D回路において、ダイは、パッケージから除去され、微量分析技術に

よって検査される。しかし、3D回路は、層の分離が困難であるだけでなく、非常に破壊的であるようにして形成され、その結果、層の分離は有益なパターン又は有益な迎工データを生み出さない。

速度の利点は、3D接近方法を使用することにより達せられる。例えば、積み重ね2D回路を具備するメモリにおいて、アクセス時間は、アドレス信号の担持距離が距離される材料平面2Dメモリよりも短いため、縮小される。真の3Dアーキテクチャーのための3Dアドレス指定機構を使用することによる別の例として、アクセス時間は、ずっと低いレベルに低減される。

3Dアーキテクチャーへの回路の転写はまた、シリコン回路と高速GAAアナログ信号処理回路構成(MMICs)の一体化を許容する。これは、高速高密度Si回路とマイクロ波回路の一体化を許容する。そのような融通性は、他の接近方法で獲得するのは容易ではない。転写はまた、デジタルGAA回路構成へ適用可能である。

最後に、転写接近方法は、光子回路及びデバイスの使用を可能にする。これらの回路は、光学的計算、光学的I/O、又は3D構造における回路平面間の光学相互接続のために使用される。光子デバイス又は回路の他の用途は、これらのデバイスの必要性が生ずるならば、比較的容易に一体化される。

この技術は、新回路アーキテクチャーへつながるメモリ層の垂直一体化を可能にする。特有の利点としては、次があげられる。

- 極めて迅速なアクセス時間
- 神経網メモリモデルとより互換性のある新メモリアーキテクチャー
- 光学処理及びメモリの光学アドレス指定との互換性

基板1056を急速に除去する。シリコン対熱二酸化シリコンに対する200:1のエッチング速度は、非常に薄い酸化層の使用を許容し、デバイス1050をエッチャントから保護させる。

単一転写の後、反対極性ゲートマスク(不図示)を使用して、酸化層1054が、チャネル領域1062(第15D図)に沿って数百オングストローム(〜500)まで酸化される。MOSFETデバイス1050の裏面に隣接して薄い酸化層を設ける代替方法が、第15E図に示される。再度、マスク(不図示)を使用して、チャネル領域1062に沿って酸化層が、デバイス1050の裏面を露出するためにエッチング除去される。次に、薄い酸化層1063(〜500)が、領域1062において堆積される。

第2ゲート(G2)が、それから、薄い酸化層1063の上に形成され、次の如く第1ゲート(G1)に電気的に接続される。第15E図に示された構造の断面図である断面図15Fを参照すると、接点穴1065が、酸化酸化物を通して開放され、そしてゲート材料(1066)が、第1ゲート(G1)に電気的に接続された第2ゲート(G2)1064を形成するために堆積され、エッチングされる。この双対ゲート構成は、デバイスが2つのチャネルを有するために、MOSFET1051のための駆動電流を実際に2倍にするために役立つ。第15G図を参照すると、双対ゲートMOSFET1051が、再び転写され、ガラスの如く永久基板1068にエポキシ樹脂1067で貼着される。

別の好ましい実施態様において、3D二重ゲートMOSFETインバータ1070が、nチャネル及びpチャネルMOSFETが対向側に配設されたチャネルと同一本体を共有する如く作製される。二重ゲートイ

これらの利点は、層間の接続を一体化するだけでなく、層内に光子デバイス及び回路を介在させる能力の結果である。こうして、提案された技術は、完全に新形式の回路アーキテクチャーの基本構築ブロックを形成する。

B. 3Dデバイス形成

本発明により、単一及び二重極性段階と裏面処理段階を具備する作製プロセスが、多様な3Dデバイスを設けるために使用される。作製プロセスは、SOI構造のSi膜における回路の形成と、回路の上層への付着と、基板の除去とを含む。この点において、シリコン回路は、単一転写され、そしてシリコン回路層の裏面は、露出される。裏面処理は、処理が選択性溶剤と隣立する限り行われる。裏面処理が行われた後、シリコン回路層はガラス基板に転写される(二重転写)。

一つの好ましい実施態様において、二重ゲートMOSFETは、上記の作製プロセスにより形成される。まず、ドレイン(D)、ゲート(G1)とソース(S)(第15A図)を有する標準MOSFETデバイス1050が、前述の如く適切な方法により形成される。プロセスにおける次の段階は、基板1056から裏面処理のための上層にデバイス膜1052を転写することである。単一転写接近方法が、第15B〜15D図に示される。第15B図を参照すると、エポキシ樹脂1058は、透光性上層1060を装荷するために使用される。好ましい実施態様において、A-Siで被覆されたガラス上層は、2部エポキシ樹脂で使われる。いったん膜1052の前面が上層1060に貼着されたならば、基板1056がエッチングされる。第15C図に示された如く、エッチャントは、エッチストップとして役立つ酸化層1054により、シリコン

インバータを設けるための作製シーケンスは、第16A〜16J図に示される。第16A図を参照すると、デバイス1070は、ゲート(G1)、ソース(S1)とドレイン(D1)を具えるnチャネルMOSFET1072と、ゲート(G2)、ソース(S2)とドレイン(D2)を具えるpチャネルMOSFET1074を含む。第16B図を参照すると、共有領域1076は、領域の対向側に配設されたnチャネル1078とpチャネル1080を含む。さらに具体的には、nチャネルMOSFETのためのチャネルが、共有領域の頂部界面1081に沿って配設され、そしてpチャネルMOSFETのためのチャネルが、共有領域の底部界面1082に沿って配設される。

二重ゲートMOSFETインバータを作製するために使用された処理段階を示す一連の平面図が、第16C〜16J図において示される。第16C図は、pチャネルMOSFETのためのチャネルドーピングを示す。フォトレジストとマスクが、パターン化シリコンアイランド1084の上に位置付けられ、そしてりん(又は他のn形ドーパント)が、底部界面1082(第16B図)の近くの照射範囲(R.)を有する領域1086に打ち込まれる。打ち込みは、底部界面におけるりん濃度が、約 10^{18} cm^{-3} である如くである。第16D図は、nチャネルMOSFETのためのチャネルドーピングを示す。フォトレジストとマスクを使用して、ホウ素(又は他のp形ドーパント)が、頂部界面1081(第16B図)の近くのR.を有する領域1088に打ち込まれる。打ち込みは、好ましくは、約 $4 \times 10^{18} \text{ cm}^{-3}$ の頂部界面においてホウ素濃度を生成する。

第16E図は、nチャネルMOSFETのためのチャネルストップ1

083 (第16B図)の形成を示す。フォトリソとマスクは、ホウ素がシリコンの中央においてR₂を有する領域1089に打ち込まれる。シリコンの中央における平均ホウ素濃度が、約 $4 \times 10^{18} \text{ cm}^{-3}$ である。第16F図は、nチャネルMOSFETのためのエッチ打ち込みを示す。隔壁寄生トランジスタの効果を回避するために、コーナー領域1077 (第16A図)が、ゲート材料から突出し、ゲートが隔壁トランジスタを形成するためにシリコンアイランドの隔壁に接触するのを防止している。さらに、これらのコーナー領域は、二重ゲートインバークにおける隔壁トランジスタ効果を最小にするために強くドーパされる。フォトリソとマスクを使用して、ホウ素 (又は他のp形ドーパント) が、頂部界面の近くのR₂を有する領域1090に打ち込まれる。打ち込みは、好ましくは、頂部界面において約 $5 \times 10^{18} \text{ cm}^{-3}$ のホウ素濃度を生ずる。

第16G図を参照すると、ゲート(G1)と接触領域1094が、nチャネルMOSFETのために形成される。次に、ソース/ドレインドーピングが、nチャネルデバイスのための行われる。フォトリソとマスクを使用して、ヒ素 (又は他のn形ドーパント) が、ゲート(G1)と自己整合して、頂部界面の近くにR₂を有する領域1096に約 10^{18} cm^{-3} のヒ素濃度で打ち込まれる。第16H図は、pチャネルMOSFETのためのチャネルストップ1079 (第16B図)の形成を示す。フォトリソとマスクを使用して、りん (又は他のn形ドーパント) が、ゲート(G1)と自己整合して、頂部界面1081 (第16B図)の近くのR₂を有する領域1097に約 $8 \times 10^{18} \text{ cm}^{-3}$ のりん濃度で

打ち込まれる。次に、ソース/ドレインドーピングが、pチャネルMOSFETに対して行われる。再び、フォトリソとマスクを使用して、ホウ素が、シリコンの中央におけるR₂を有する領域1098に 10^{18} cm^{-3} の平均ホウ素濃度で打ち込まれる。

次に、ゲート(G2)が、pチャネルMOSFETに対して形成され、ゲート(G1)に電気的に連絡される。第16J図 (線ノリに沿って取った第16A図の断面図)を参照すると、二重ゲートMOSFETは、仮上層1100に単一転写され、接着剤又はエポキシ樹脂1102により上層に装荷される。それから、デバイスが配設される酸化層1104が、2つの領域1106と1108を開放するために、フォトリソとマスクを使用して選択エッチングされる。次に、ゲート(G2)が、接触領域1094への接触パス1110とともに、メタライゼーションにより領域1106において形成される。メタライゼーションの後、2つのゲートが電気的に連絡される。

別の好ましい実施態様において、3次元インバークが、第17D図に示された如く、垂直に積み重ねられた一列のMOSFETを形成される。3次元インバークのための作製プロセスは、第17A~17D図に示される。第17A図を参照すると、nチャネルデバイス1200が、基板 (不図示) における酸化物1204上の単結晶シリコン1202において形成される。二重転写の後、デバイス1200は、接着剤又はエポキシ樹脂1208で装荷される。パーシベーション酸化層1210が、デバイス1200の上に堆積される。

第17B図を参照すると、pチャネルデバイス1212が、基板 (不図示) における酸化物1216上の単結晶シリコン1214において別

個に作製される。酸化層1224は、パーシベーションのためのpチャネルデバイス1212の上に堆積され、そして単一転写は、デバイスが接着剤1220により上層1218に装荷される如く行われる。それから、pチャネルデバイス1212は、接着剤1222によってnチャネルデバイスに装荷され、スタック構造 (第17C図) を形成する。

次に、酸化層1224が、パーシベーションのためにpチャネルデバイス1212上に堆積される。第17D図を参照すると、ファイア1226が、上方デバイス1212と埋め込みデバイス1200のゲート、ソース及びドレイン領域に接近するために形成される。金属層1228が堆積され、スタックインバーク構造1230のための電気連絡を形成するためにパターン化される。それぞれのゲートの相互連絡は、ファイアが不図示である如く図に平行な平面において為されることが注目される。

さらに別の好ましい実施態様において、垂直バイポーラトランジスタが、本発明の原理により作製される。作製プロセスシーケンスが、第18A~18H図に示される。基板1244 (第18A図) における酸化物1242上のシリコン膜1240から始まり、シリコンは、第18B図に示された如く、デバイス領域にパターン化される。次に、n形ドーパント1241の深い打ち込みが、n形ドーパント領域1250を生成するために行われる。第18C図を参照すると、デバイス領域は、p形ベース領域1251を設けるためにホウ素又は他のp形ドーパント1243でドーパされる。第18D図を参照すると、シリコンは、n⁺エミッタ領域1245を設けるために、n形ドーパント1244でドーパされる。次に、シリコンは、n⁺コレクタ領域1248 (第18E図) を

設けるために、n形材料1247で強くドーパされる。

コレクタ、エミッタ及びベース接点1252が形成され (第18F図)、そしてデバイスは、上層1254 (第18G図) に転写される。デバイスは、エポキシ樹脂1256により上層1254に装荷され、後続の処理のために反転される。そのために、酸化層1242の部分は、エッチングされ、シリコン膜の露出画面上に付与され、焼結される (第18H図)。高温エポキシ樹脂が使用されるならば、高温打ち込み (450、5℃) が、n⁺埋め込み層1250を生成するためにメタライゼーションの前に実施される。

3次元回路はまた、適切なリリース層材料とエッチャントにより、III-V半導体材料において作製される。AlGaAs/GaAsデバイスに対して、AlAsリリース層が好ましい。InPデバイスに対して、InGaAsリリース層が好ましい。AlAsは、HF酸により優先的にエッチングされ、一方、InGaAsは、硫酸/過酸化水素水溶液によって優先的にエッチングされる。プロセスはまた、III-V半導体回路に拡張される。

例えば、発明によるIII-V回路アレイの作製が、第19A~19D図を参照して記載される。それは、GaAs又はGe基板においてAlGaAs及びGaAs層の必要なヘテロエピタキシャル層のエピタキシャル成長で始まる。GaAs基板312の場合に、オプシオンのAlAs層314は、エッチオフ方法による基板除去を容易にするために、アクティブAlGaAs層316と基板312の間に形成される。AlAsは、エッチストップ層を形成する。代替的に、X-Yアレイが、CLE

FTプロセス (Fan 他への) 1988年2月23日に発行された米国特許第4,727,047号を参照)又は化学エピタキシャルリフトオフにより基板から除去される。Ge基板の場合において、AlAsの層は、エッチストップとして使用されるが、AlAsは、Ge基板がAlGaAsアクティブ層を包することなくH₂O₂において溶解されるために、実際に必要ではない。第19A図は、OMCVDによって形成されたアクティブGaAs (又はAlGaAs) 層366を具備するエピタキシャル層構造を示す。接点パッド119とバスバー (不図示) のパターンは、第19Bに示された如く、前面において光学的リソグラフィ技術、蒸着、及び/又は電気めっきにより形成される。次に、回路313は、第19B図に示された如く、エピタキシャル層316に部分的にエッチングすることにより形成される。この段階は、この点において絶対的に必要というわけではないが、それはプロセスにおける後のエッチング段階を単純化する。プロセスの次の段階は、ガラス、セラミック、又は薄いステンレス鋼の如く、支持物380へのウェハのボンディングから成る。支持物が赤外線を透過するならば、下流の前面对背面の整合が容易にされるが、整合はまた、支持物縁への注意深い登録により実施される。処理された前側面は、適切な接着剤 (不図示) (第19C図) を使用して、支持物380に貼着される。支持物380が装荷される後、ウェハ又は基板312は、エッチング除去 (又は劈開) され、第19D図に示された如く、附縁316を支持物380に装荷させておき、この場合、構造は、処理される裏面Bを露出させるために支持物上にひっくり返される。

いったん裏面が露出されるならば、残余の非本質的材料は、HFにお

ける選択的エッチングによって真面から除去され、露出されたGaAs接触層Bを露出させる。露出接点312とバスバー321xは、今、光学的リソグラフィでパターン化され、接触領域316に電気めっき又は蒸着される。

第20図に示された如く、前側面処理された回路アレイ330は、X及びYシリコンドライバ回路320と322をウェハ323において形成し、それぞれ、X及びYボンディングパッド324と326に結合した正確な位置においてシリコンウェハ323に直接に取り付けられる。ウェハ323へのアレイ330のボンディングはまた、接点パッド326を、ウェハ323におけるパッドにまで達し回路のボンディングパッドを形成するためにトリミングされる片持ちバーによって置き換えることにより達成される。

なお、裏面プロセスの第1段階において、非所望のエピタキシャル層が除去される。これらの層は、エピタキシーを開始するために存在し、又は最終デバイスにおいて必要とされない緩衝層である。それらの除去を簡単にするために、AlAsエッチストップ層 (不図示) が、これらの層とエピタキシャルデバイス構造の間のエピタキシーにおいて設けられる。それから、層は、公知のPAエッチにおける如く、AlAsにおいて停止するエッチングにおいて除去される。約8pHにおいて、これらのエッチングは、AsGaAsの1000倍高速に溶解する。エッチングがAlAsにおいて停止した後、AlAsは、HF又はHClにおいて除去される。

上記のプロセスにおいて、基板の裏面は、各ピクセルの裏面に接触するように多重共存ノックアウトを設けられる。なお、この形式の

処理は前面对背面整合を必要とする。それから、ピクセルは、メサエッチによって分離される。膜はわずかに約5ミクロン厚であるために、メサエッチは、直接であり、迅速である。エッチングは、湿式又は乾式処理で達成される。この点において、露出された半導体は、会合を防止するために誘電体で被覆される。

第21図に示された如く、検出器450とLEDアレイ300は、ガラス基板620上に取り付けられた下方誘導LEDアレイ300に透光性のりによって付着された頂部誘導IR X-Y検出器アレイ450から成る複合組立体に積み重ねられる。ガラスレンズ460は、検出器450の頂面と、冷却目的のために必要に応じて設けた熱伝導開口460に付着される。全体構造は、極めて薄く (1ミル)、電子系470が周辺部に設けられる。究極的に、モノリシック誘導アレイが、ビデオ像に重ね合わせたデータの表示とともに、可視光像の向上のための通常のガラスに取り付けられる。

第21図のデバイスの応用としては、軍用夜視観望システム、レンジファインダー、高度軍用アビオニクス、パーソナル通信システム、及び長時間像向上が使用される医療システムがある。

第22図と第23図に図略的に示された如く、X-Yアレイはまた、多色ディスプレイを形成するために使用される。そのようなディスプレイを作成するために、LED1、LED2とLED3とラベル付けされた個々のX-Yアレイが、2つ以上の異なるエピタキシャル構造から形成される。構造における主な差異は、個々の色を生成するために異なるバンドギャップを有しなければならないアクティブ層材料161、162と163にある。例えば、赤色163は、AlGaAsで生成され、

緑色162は、InAsGaPで生成される。頂部デバイスLED1は、ZnSe、ZnSSeの如くII-VI材料又はSiCの如くIV族合金から形成した青色LEDである。

アレイは、バンドギャップのより大きなLED1を観察者により接近させて積み重ねられなければならない。大バンドギャップを有する材料は、小バンドギャップからの放射線を透過する。こうして、このようにして、観察者は両色を見ることが出来る。

3つのLED1020のスタックの生成は、次の如くである。まず、3つの個別LEDアレイLED1、LED2とLED3が、前述の如く形成される。次に、それらは、ガラス600を挟持して積み重ねられる。

透明のり又はエポキシ樹脂400は、相互の頂部においてスタックを貼着するために使用される。各LEDにおける上方及び下方ボンディングパッドP1とP2は、他のLEDに関して横にずらされ、その結果、個々のLEDピクセルが、アドレス指定される (第23図の平面図を参照)。

他の材料において作製された集積回路はまた、上記の如く転写プロセスを使用して、3D回路モジュールに積み重ねられる。回路は、II-VI又はI-III化合物において、又はダイヤモンドの薄層において作製される。加えて、3D回路モジュールは、個々の材料の積み重ね層を具備する。例えば、GaAs回路は、Si回路に隣接して積み重ねられる。

第24A図は、伝導性材料によって相互連結した3D回路スタックを示す。回路層1410、1410'、1410''が、キャリア基板1401上に積み重ねられる。回路層1410、1410'、1410''は、上記の転写プロセスを使用して、個別に作製される。回路層1410、

1410'、1410'は、介在された両膜エポキシ樹脂層1420、

1420'、1420'によってキャリヤ基板140、140'と接続回路層に接続される。各層が転写される時、相互接続部1414が、ファイアを形成するためにエポキシ樹脂層1420'、1420'をパターン化及びエッチングし、それから、ファイアに両膜ノライゼーション層を堆積することにより形成される。回路構成からの熱伝導率を促進するために、エポキシ樹脂は、ダイヤモンドの如く熱伝導性材料を含浸又は過飽和される。

ファイアによる金属接点のほかに、回路の積み重ね層は、無接点相互接続を使用する。第240図は、無接点相互接続を具備する積み重ね回路層の概略図である。複数の両膜回路層を有する両膜回路モジュール内で相互接続した2つの両膜回路層1410、1410'が示される。各相互接続回路層1410、1410'は、相互に接続した無接点カブリング要素1415、1415'を具備する。複数の回路層が転写され、介在されたエポキシ樹脂層1420、1420'、1420'によって接合される。

介在する回路層1410'は、その層を通過してファイアを形成するようにパターン化され、エッチングされなければならない。好ましくは、介在する回路層1410'は、パターン化され、転写の前にエッチングされる。ファイア1435は、カブリング要素1415、1415'に接続される。ファイア1435は、エポキシ樹脂によって充填される。介在する層はまた、相互接続回路層の接続を生成するために、カブリング要素（不図示）によってファイア1435に結合される。

発明の好ましい実施態様において、無接点カブリング要素1415、

1415'は、転写されたLED及び検出器の対である。この実施態様において、電気信号は符号化され、それぞれの回路層に光伝送される。ここで、光信号は復号される。受信器は、転写パターン化高分解能光電電力系である。エポキシ樹脂層1420、1420'、1420'は、LEDにより伝送される光の波長を少なくとも部分的に透過しなければならない。単一回路層1410は、相互接続層における接続内の別の特定層に、多様な検出器に整合するように選ばれたいろいろな波長のLEDの利用を伝える。

第240図に示された発明の代替的な好ましい実施態様において、回路層1410、1410'は、無接点カブリング要素1415、1415'によって容易に結合される。この実施態様において、カブリング要素1415、1415'は、金属板であり、そしてエポキシ樹脂層1420、1425は、2つの板を分離する誘電体として機能するためにダイヤモンドを含浸される。同様に、回路層1410、1410'は、誘電結合であり、この場合、カブリング要素1415、1415'は誘電性ループである。これらの実施態様は、モノリシックマイクロ波集積回路(MMIC)において特に有益である。カブリング要素から接続する回路構成金属基板層1430、1435に影響する遠近電磁界の制限は、ファイア1435が貫通する構造において形成される。

D. 熱管理

本発明によるスタック3D回路モジュールを作製する利点は、熱伝導性層が、外部ヒートシンクへの熱伝導を高めるためにスタック回路層の間に挿入されることである。これらの層はまた、回路間絶縁体の誘電体強度を増大させる。熱伝導性層は、両膜層として作製される。熱伝導性

層は、両膜ダイヤモンド、SiC、AlN、アルミニウム、Zr、セラミックス又はB₂O₃を具備する。熱伝導性材料の選定は、工学応用に依存する。

第25A図は、熱伝導性層を有する両膜モジュールの概略図である。スタックモジュールは、SiCキャリヤ基板1510に転写される。モジュールは、熱伝導性材料1520a-mの介在層と回路層1530a-mを具備する。両膜回路層1530a-mは、基板ファイア1535によって相互接続される。

第25B図は、第25A図のスタック回路モジュールの区分の分解図である。熱伝導性層1520は、SiCを具備する。ストリップラインたわみコネクタ1535bと1525dは、熱伝導性層1520bと1525bからヒートシンクへ熱エネルギーを消散するために機能する。両膜回路構成1530は、ダイヤモンド両膜誘電体層1542、1544によって熱伝導性層1520から隔離される。好ましくは、誘電体層1542、1544は、ダイヤモンド含浸エポキシ樹脂である。誘電体層1542、1544の厚さは、好ましくは、約5ミクロンであるダイヤモンドグリット直径によって決定される。

第25C図は、第25B図の両膜モジュール層の分解図である。特に、回路層接続系が詳述される。発明の好ましい実施態様において、光学的接続系が使用される。回路層1530において、GaAsエミッタ1552と検出器1554が作製される。エミッタは、それぞれの光学的ドライバ1551、1553によって駆動される。

ここで記載される積み重ね両膜半導体層は、0.1ミクロン〜10ミクロン、好ましくは、0.25ミクロン〜1.0ミクロンの範囲内の厚

さを有する。

符号図

発明が好ましい実施態様を参照して詳細に示され記載されたが、技術における当業者には、形式と詳細における多様な変形が、添付のクレームによって規定された如く発明の精神と範囲に反することなく行われることが理解される。

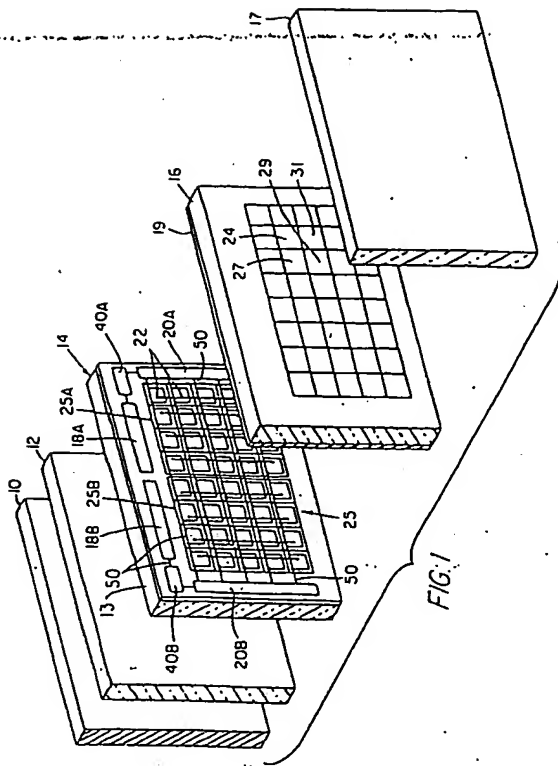


FIG. 1

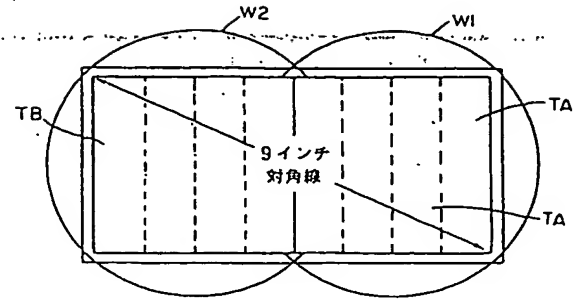


FIG. 2A

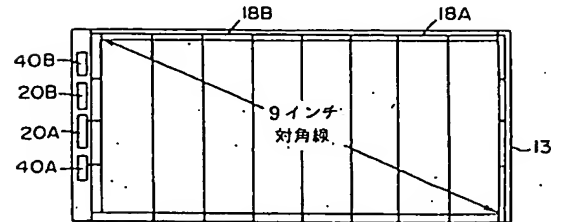


FIG. 2B

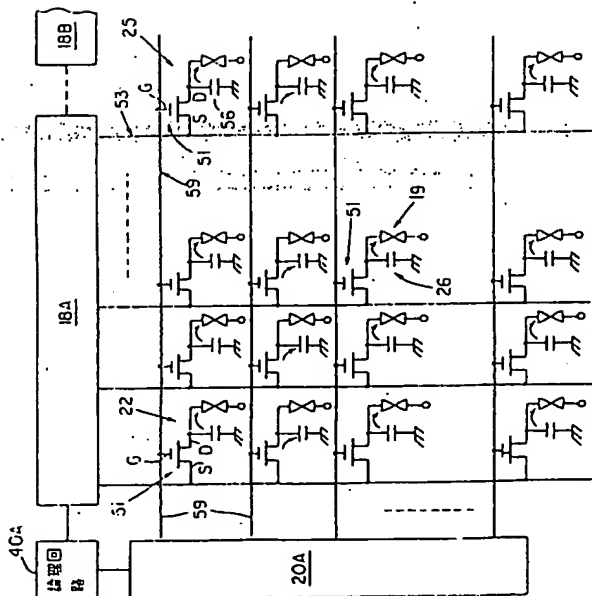


FIG. 3

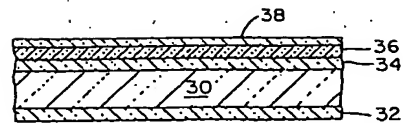


FIG. 4A

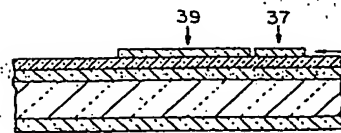


FIG. 4B

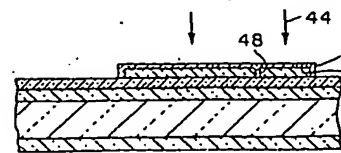


FIG. 4C

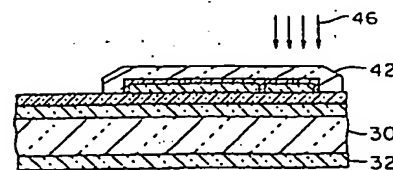


FIG. 4D

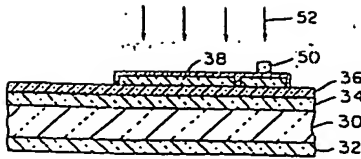


FIG. 4E

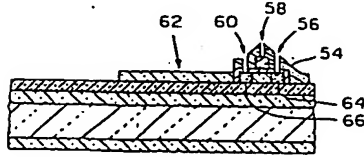


FIG. 4F

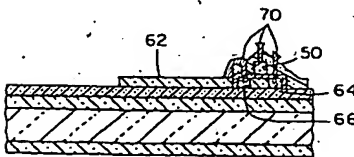


FIG. 4G

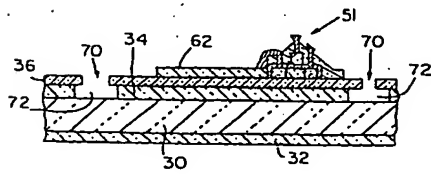


FIG. 4H

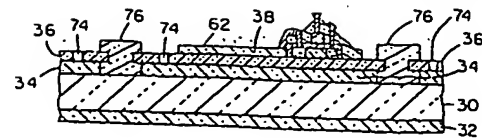


FIG. 4I

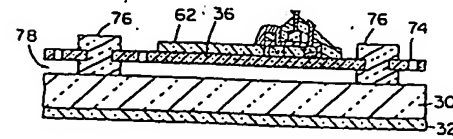


FIG. 4J

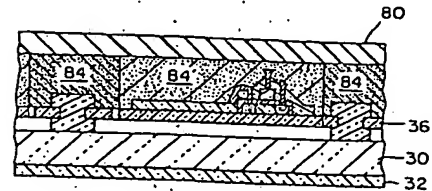


FIG. 4K

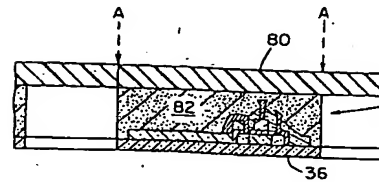


FIG. 4L

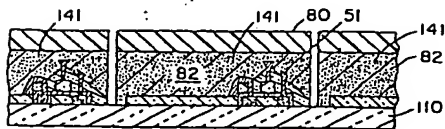


FIG. 5A

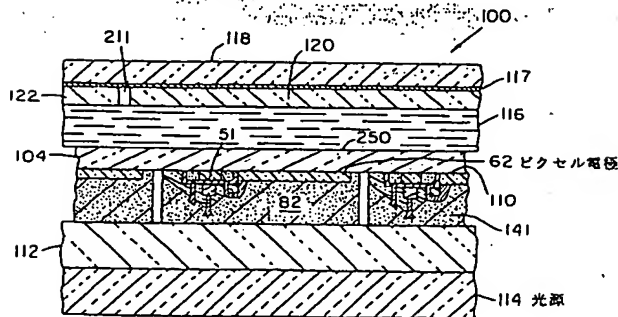


FIG. 5B

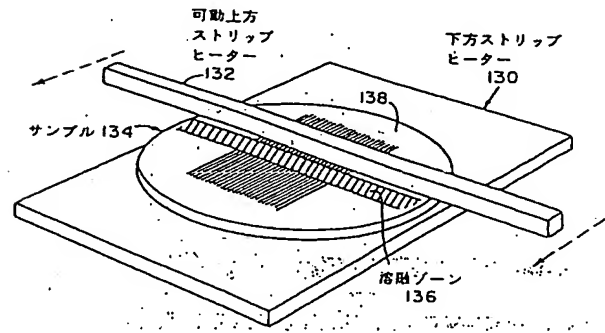


FIG. 6

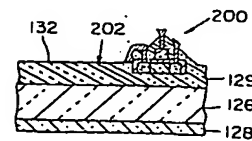


FIG. 8A

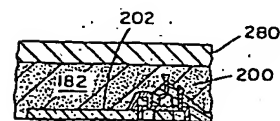
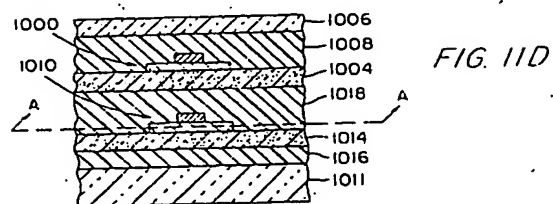
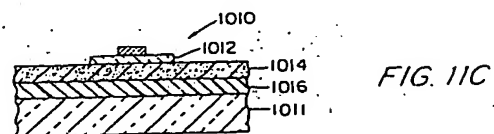
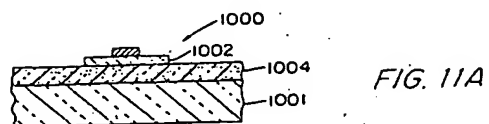
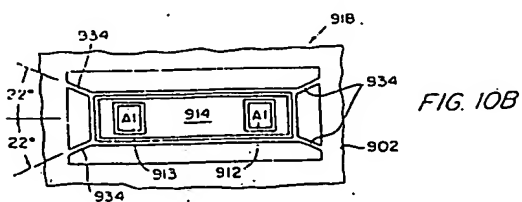
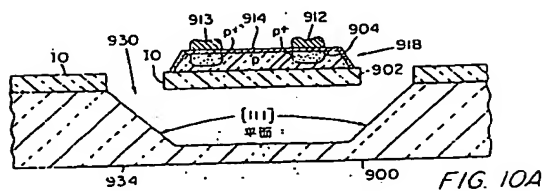
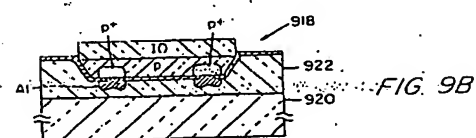
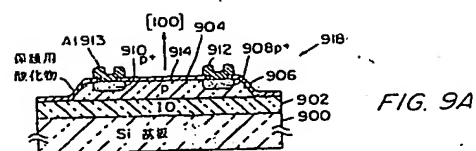
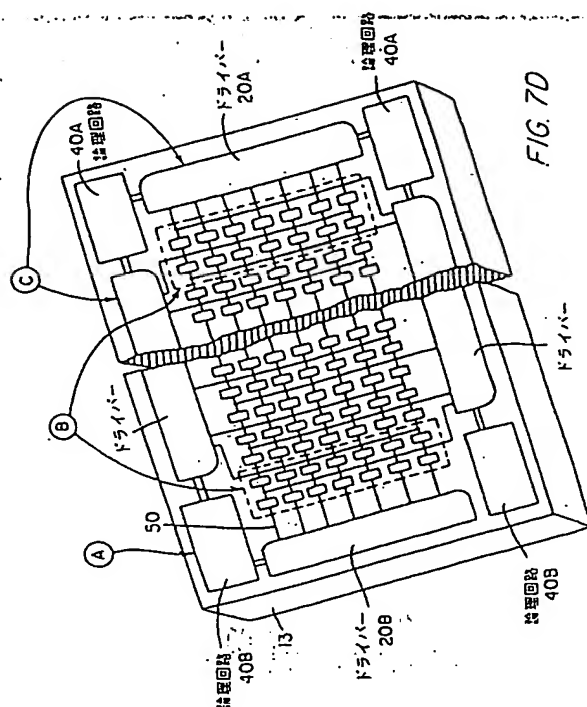
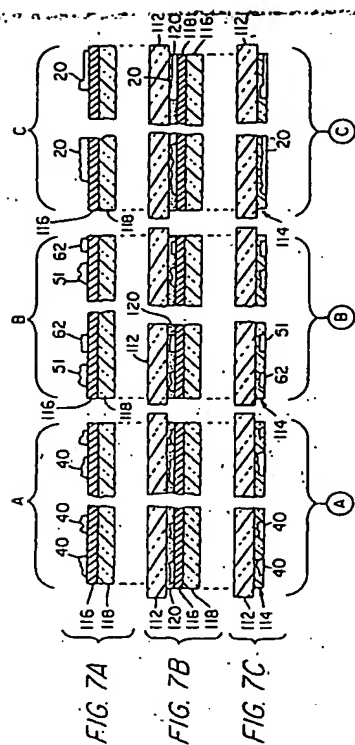


FIG. 8B



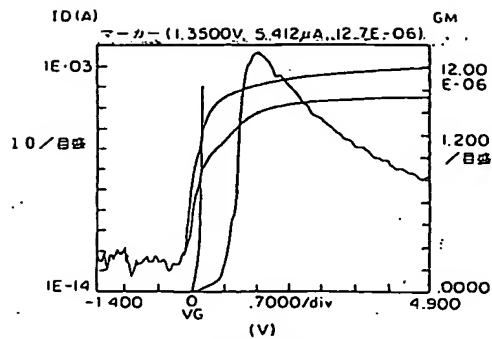


FIG. 12A

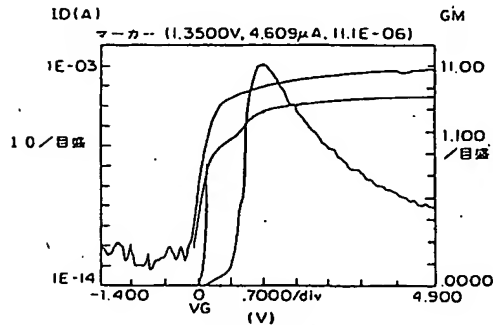


FIG. 12B

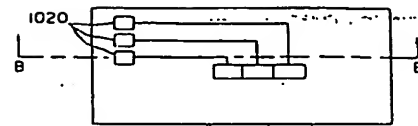


FIG. 13A

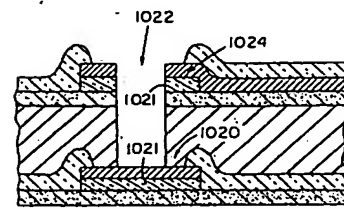


FIG. 13B

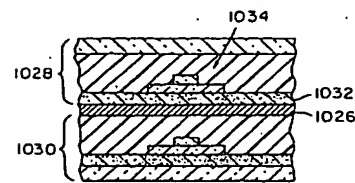


FIG. 14

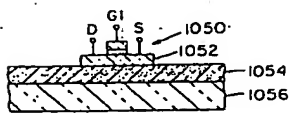


FIG. 15A

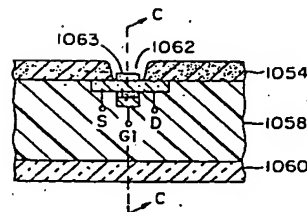


FIG. 15E

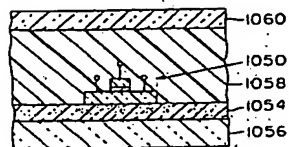


FIG. 15B

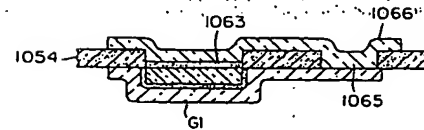


FIG. 15F

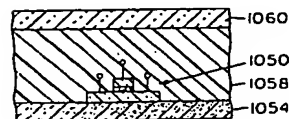


FIG. 15C

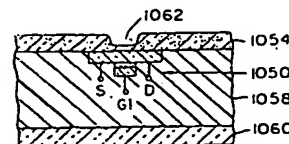


FIG. 15D

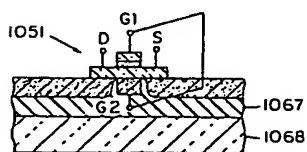
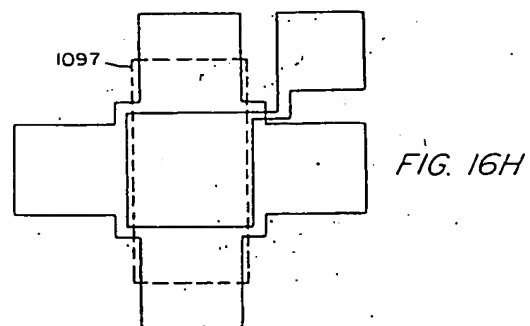
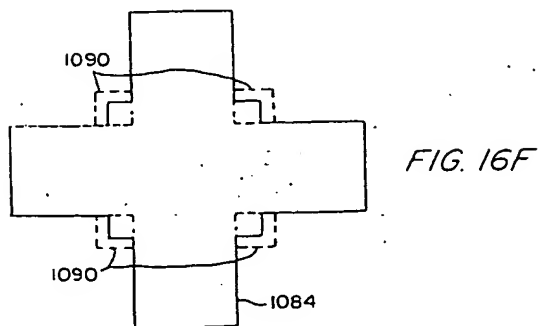
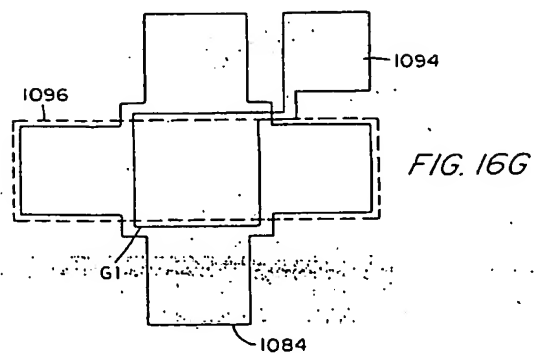
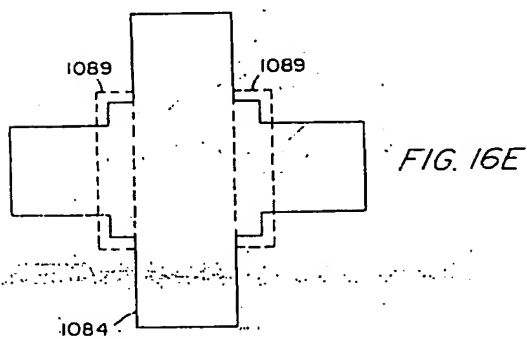
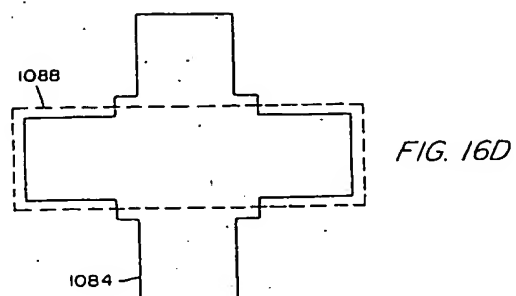
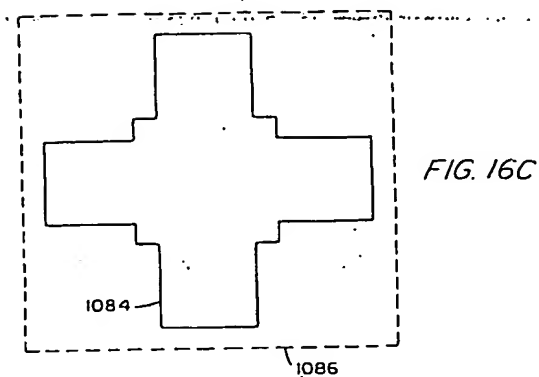
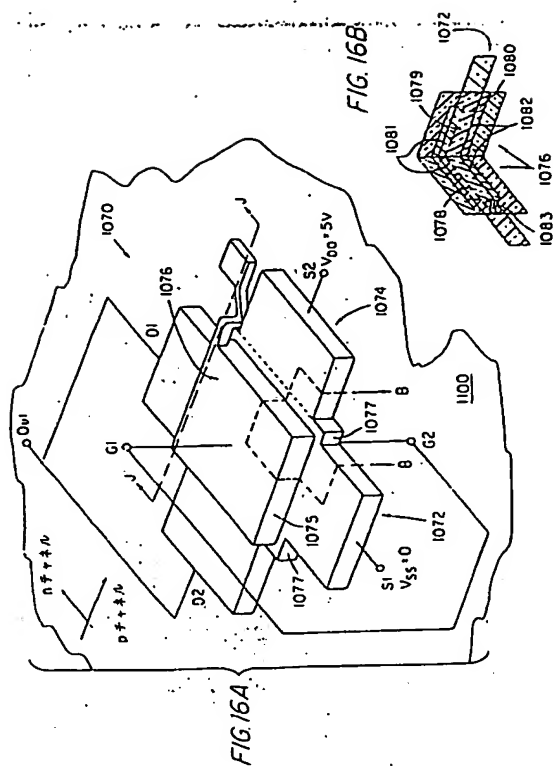


FIG. 15G



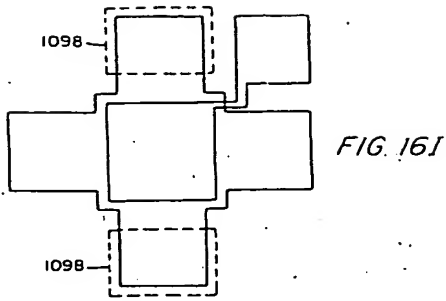


FIG. 16I

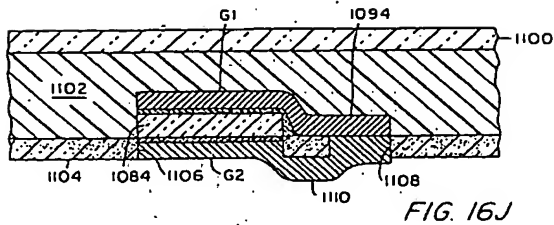


FIG. 16J

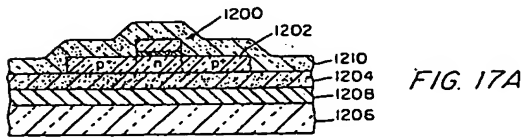


FIG. 17A

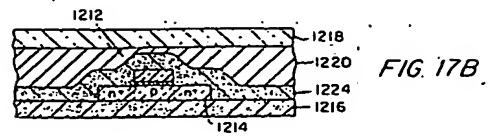


FIG. 17B

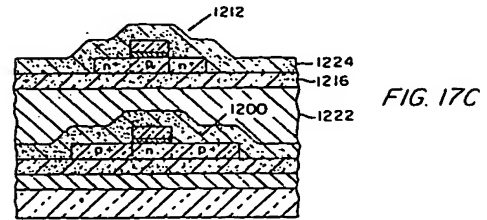


FIG. 17C

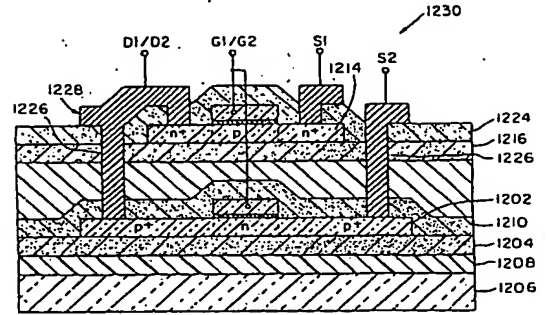


FIG. 17D

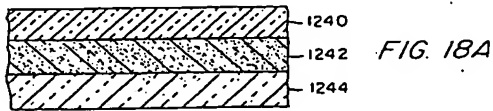


FIG. 18A

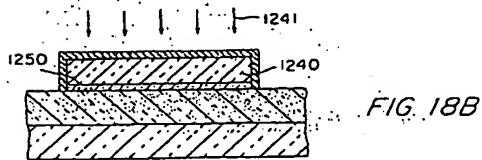


FIG. 18B

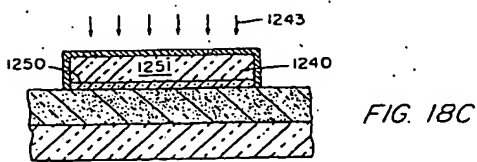


FIG. 18C

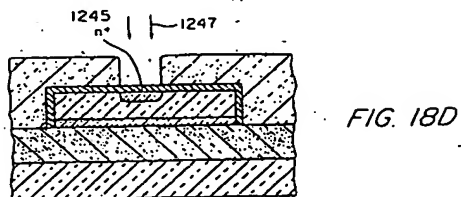


FIG. 18D

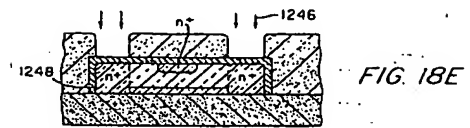


FIG. 18E

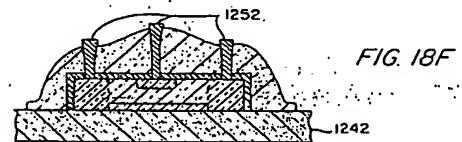


FIG. 18F

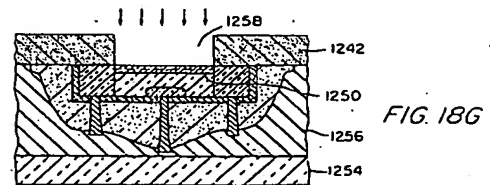


FIG. 18G

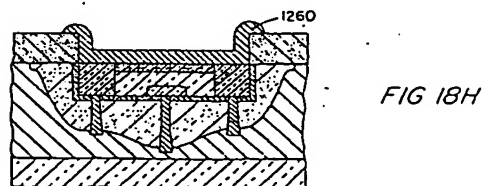


FIG. 18H

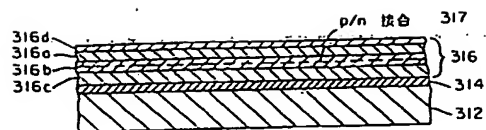


FIG. 19A

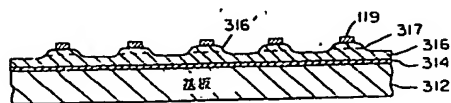


FIG. 19B

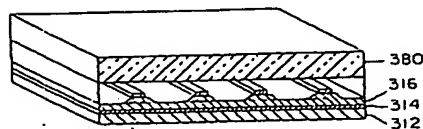


FIG. 19C

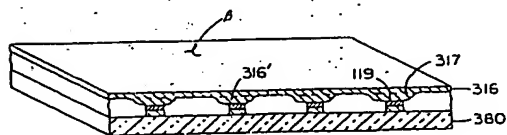


FIG. 19D

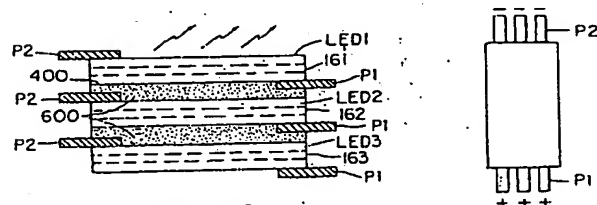


FIG. 22

FIG. 23

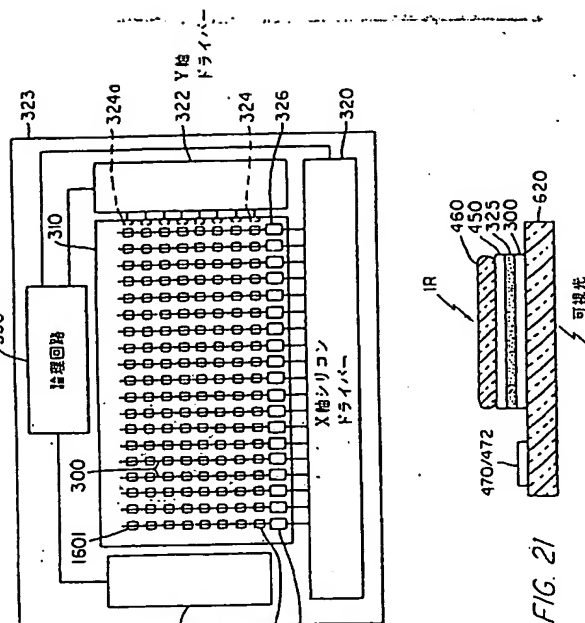


FIG. 20

FIG. 21

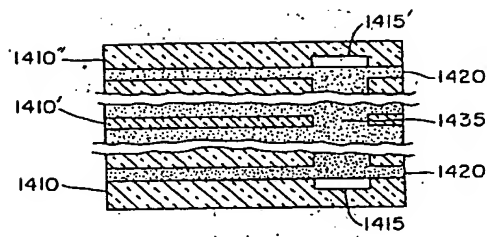


FIG. 24B

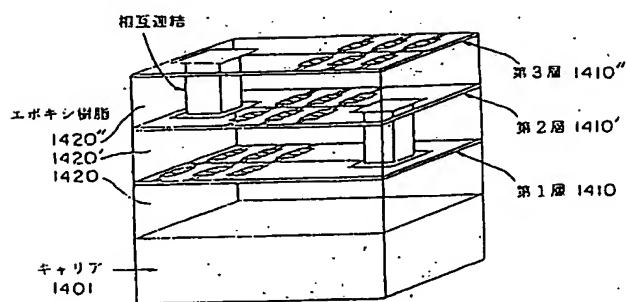


FIG. 24A

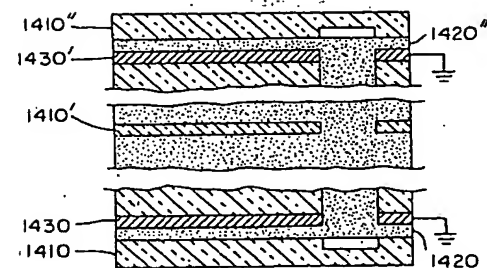


FIG. 24C

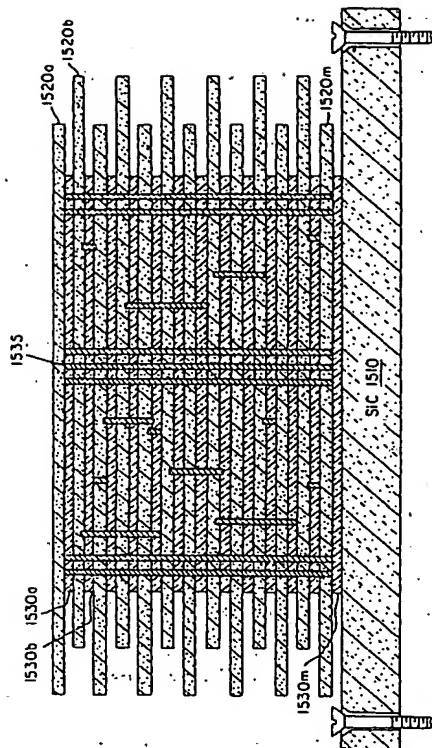


FIG. 25A

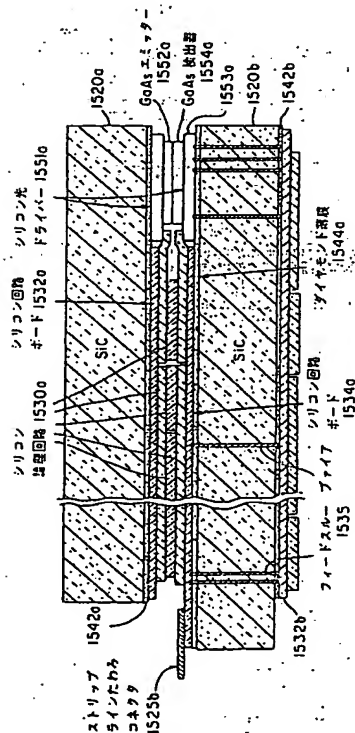


FIG. 25C

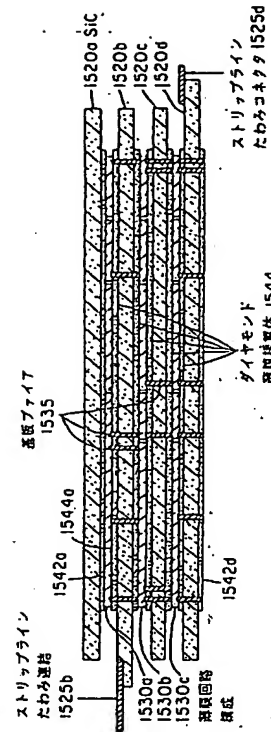


FIG. 25B

補正書の写し(翻訳文)提出書 (特許法第184条の8)

平成6年8月10日

特許庁長官 高 島 章 殿

1. 特許出願の表示

PCT/US93/01322

2. 発明の名称

高密度電子回路モジュール

3. 特許出願人

住 所 アメリカ合衆国マサチューセッツ州02780トントン・
マイルズスタンディッシュ工業パーク・
マイルズスタンディッシュビルボード695

名 称 コビン・コーポレーション

4. 代理人 〒107

住 所 東京都港区赤坂1丁目9番15号

日本自転車会館

氏 名 (6078)井理士 小田島 平吉

電 話 3585-2256

5. 補正書の提出年月日

1994年2月25日

6. 添付書類の目録

(1) 補正書の写し(翻訳文)

1通



請求の範囲

1. 3次元回路モジュールを作製する方法において、
第1基板(1206)上に第1回路層(1202)を形成する段階と、
第2基板上に第2回路層(1214)を形成する段階と、
第1回路層(1202)へ第2回路層(1214)を転写する段階であり、第1及び第2回路層は中間接着層(1222)によって分離されている段階と、
中間層(1222)を通して第1及び第2回路層を相互連結(1226)する段階とを含むことを特徴とする方法。
2. 転写の段階が、
第2回路層(1214)を接着層により第1回路層(1202)に貼着することを含む請求の範囲1に記載の方法。
3. 転写の段階が、
第1接着層(1220)を第2回路層(1214)の上に形成することと、
第2回路層(1214)を上層(1218)に転写することと、
第2接着層(1222)を第2回路層(1214)の下に形成することと、
第2回路層(1214)と第2接着層(1222)を第1回路層(1202)に転写することと、
中間層を形成するために第2接着層(1222)を凝固させることを含む請求の範囲1に記載の方法。
4. 相互連結の段階が、
第1及び第2回路層の間にファイア(1226)を形成することと、

ール。

14. 接着剤(1420)が熱導体を含む請求の範囲に記載の回路モジュール。
15. 熱導体がエポキシ樹脂である請求の範囲14に記載の回路モジュール。
16. 熱導体に結合されたヒートシンクをさらに具備する請求の範囲14に記載の回路モジュール。
17. 接着剤(1420)が導電体(1430)を具備する請求の範囲10に記載の回路モジュール。
18. 相互連結部(1415)が導電体を具備する請求の範囲10に記載の回路モジュール。
19. 相互連結部(1415)が、光学的カップリングを具備する請求の範囲10に記載の回路モジュール。
20. 相互連結部(1415)が電磁気カップリングを具備する請求の範囲10に記載の回路モジュール。

第1及び第2回路層をファイアを通して結合することを含む請求の範囲1に記載の方法。

5. 結合の段階が、導電性材料(1228)でファイア(1226)を充填することを含む請求の範囲4に記載の方法。
6. 結合の段階が、ファイア(1226)を通して光学的リンクを形成することを含む請求の範囲4に記載の方法。
7. 結合の段階が、ファイア(1226)を通して電磁気リンクを形成することを含む請求の範囲4に記載の方法。
8. 中間層(1222)が、熱導体を具備し、方法が、さらに、中間層をヒートシンク(1525)に相互連結する段階を含む請求の範囲1に記載の方法。
9. 中間層(1222)が、導電体を具備し、方法が、さらに、中間層を電気的に相互連結する段階を含む請求の範囲1に記載の方法。
10. 複数の積層重なる高導熱回路層(1410)と、
隣接回路層の各対に対して、隣接回路層(1410)の間に位置付けた接着剤(1420)の中間層と、
中間層(1420)を通じた第1回路層(1410)と第2回路層(1420)の間の相互連結部(1415)とを具備することを特徴とする3次元回路モジュール。
11. 半導体がシリコンである請求の範囲10に記載の回路モジュール。
12. 半導体がIII-V族化合物である請求の範囲10に記載の回路モジュール。
13. 半導体がダイヤモンドである請求の範囲10に記載の回路モジュール。

国際調査報告

PCT/US 92/03322

1. CLASSIFICATION OF SUBJECT MATTER		PCT/US 92/03322	
IPC Class. H 01 L 21/30			
2. FIELD OF SEARCH			
IPC Class. H 01 L 01/02 G			
3. DOCUMENTS CONSIDERED TO BE RELEVANT			
A	ELECTRONIC, NO. 10, October 1989, Aaron U. KÖNIG: "Dreidimensionale Integration" pages 79-82, totality, esp. fig. 1, 2, 8, 10.	1,10	
A	SIEMENS COMPONENTS, vol. 27, no. 2, March/April 1989, Berlin u. München E. HOFFMEISTER: "Mikroelektro-nik 2000" pages 54-58, totality, esp. fig. 1.	1,10	
A	EP. A1. 0 316 799 (NISSAN) 25 March 1989 (25.03.89), fig. 4-6: column 9, line 36 - column 12, line 16.	1,10	
A	CH. A. 468 080	1,10	
4. STATEMENT OF INVENTOR			
Date of the latest Convention or the International Filing Date: 25 May 1993			
Date of the latest Convention or the International Filing Date: 10.06.93			
EUROPEAN PATENT OFFICE			

International Publication No. PCT/US 93/01322

11. DOCUMENTS CITED HEREIN TO ALLUATE SCIENTIFIC FROM THE SECOND SHEET

Doc. No.	Character of Document	Character of Document	Character of Document
(18) 14 March 1969 114.03.691. closed: 110.			

Form PCT/ISA (Information sheet) (January 1989)

ANHAND ANNEX ANNEXE

to the International Search Report to the International Patent Application No. PCT/US93/01322 BAE 70781

to the International Search Report to the International Patent Application No. PCT/US93/01322 BAE 70781

to the International Search Report to the International Patent Application No. PCT/US93/01322 BAE 70781

In der Internationalen Suchanfrage	In der Internationalen Suchanfrage	In der Internationalen Suchanfrage	In der Internationalen Suchanfrage
Document No.	Document No.	Document No.	Document No.
114.03.691.	114.03.691.	114.03.691.	114.03.691.

Form PCT/ISA (Information sheet) (January 1989)

フロントページの続き

(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP

(72) 発明者 ブ, デュイーファチ
アメリカ合衆国マサチューセッツ州02780ト
ーントン・ベイストリート1559

(72) 発明者 デイナグ, プレンダ
アメリカ合衆国マサチューセッツ州02048マ
ンスフィールド・ローンデイルロード142
(72) 発明者 チエオング, ヌグウエ
アメリカ合衆国マサチューセッツ州02116ボ
ストン・トレモントストリート348

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成12年7月11日(2000. 7. 11)

【公表番号】特表平7-504782

【公表日】平成7年5月25日(1995. 5. 25)

【年通号数】

【出願番号】特願平5-514320

【国際特許分類第7版】

H01L 27/00 301

G02F 1/136 500

H01L 27/12

29/786

【F I】

H01L 27/00 301 B

G02F 1/136 500

H01L 27/12 B

29/78 311 A

手続補正書

平成12年2月14日

特許庁長官 近藤 俊彦 殿

1. 事件の表示

平成5年特許願第514320号

2. 補正をする者

事件との関係 特許出願人

名称 コビン・コーポレーション

3. 代理人

住所 〒107 0052 東京都港区赤坂1丁目8番15号

日本信託会館

氏名 (0078) 井野士 小田島 平吉

電話 3585-2256



4. 補正命令の日付 なし

5. 補正の対象

請求の範囲の欄

6. 補正の内容

(1) 請求の範囲の欄を別紙のとおりに訂正する。

以上

別紙

請求の範囲

「1. 3次元回路モジュールを構築する方法において、
第1基板(1206)上に第1回路層(1202)を形成する段階と、
第2基板上に第2回路層(1214)を形成する段階と、
第1回路層(1202)へ第2回路層(1214)を転写する段階であ
り、第1及び第2回路層は中間接合層(1222)によって分離されて
いる段階と、
中間層(1222)を介して第1及び第2回路層を相互連結(1226)
する段階とを含むことを特徴とする方法。
2. 複数の積み重ねられた半導体回路層(1410)と、
隣接回路層の各対に対して、隣接回路層(1410)の間に位置付けた
接合層(1420)の中間層と、
中間層(1420)を介して第1回路層(1410)と第2回路層(1
420)の間の相互連結部(1415)とを具備することを特徴とす
る3次元回路モジュール。」

以上

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.